

PAT-NO: JP409260510A
DOCUMENT-IDENTIFIER: JP 09260510 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS
MANUFACTURE
PUBN-DATE: October 3, 1997

INVENTOR-INFORMATION:
NAME
KIKUSHIMA, KENICHI
OTSUKA, FUMIO
SATO, KAZUE

ASSIGNEE-INFORMATION:
NAME COUNTRY
HITACHI LTD N/A

APPL-NO: JP08035872
APPL-DATE: February 23, 1996

INT-CL (IPC): H01L021/8244, H01L027/11

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the memory cell size of a complete CMOS type SRAM, by arranging one of local wirings and the other in such a manner that at least parts of them are overlapped, and constituting a capacitive element of one of the local wirings, the other of the local wirings and an insulating film interposed between them.

SOLUTION: A pair of MISFETs Qd<SB>1</SB>, Qd<SB>2</SB>, Qp<SB>1</SB>, Qp<SB>2</SB> for driving and for a load constitute a flip-flop circuit as an information storing part. Its one I/O terminal is electrically connected with one of the source/drain region of an MISFET Qt<SB>1</SB> for transfer. The other I/O terminal is electrically connected with one of the source/drain region of an MISFET Qt<SB>2</SB> for transfer. A data line/DL is connected with the others of the source/drain regions of the MISFET's Qt<SB>1</SB>, Qt<SB>2</SB> for transfer. One end of the flip-flop circuit is connected with a power supply voltage Vcc, and the other end is connected with a reference voltage Vss. The parts between I/O terminals of the flip-flop circuit are cross-coupled via a pair of local wirings L<SB>1</SB>, L<SB>2</SB>, and arranged in different conducting layers. Thereby the occupied area of a memory cell can be reduced.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260510

(43) 公開日 平成9年(1997)10月3日

(51) Int. Cl.⁶

H01L 21/8244
27/11

識別記号

庁内整理番号

F I

H01L 27/10

381

技術表示箇所

審査請求 未請求 請求項の数23 OL (全 43 頁)

(21) 出願番号 特願平8-35872

(22) 出願日 平成8年(1996)2月23日

(31) 優先権主張番号 特願平8-5487

(32) 優先日 平8(1996)1月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 菊島 健一

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 大塚 文雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 佐藤 和重

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

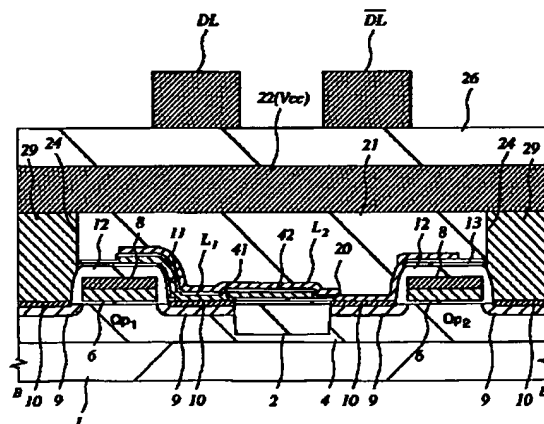
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 SRAMのメモリセルサイズを縮小する。また、SRAMのソフトエラー耐性を向上させる。

【解決手段】 メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線 L_1 、 L_2 を異なる導電層に形成する。また、上層の局所配線 L_2 を下層の局所配線 L_1 と重なり合うように配置し、これらの局所配線 L_1 、 L_2 とこれらの間に介在する絶縁膜(窒化シリコン膜42)とで容量素子を構成する。

図 35



L_1 , L_2 : 局所配線
42: 窒化シリコン膜

【特許請求の範囲】

【請求項1】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置であって、半導体基板の主面上に形成した第1導電膜で前記駆動用MISFET、負荷用MISFETおよび転送用MISFETのそれぞれのゲート電極を構成し、前記第1導電膜の上部に形成した第2導電膜で前記フリップフロップ回路の一対の入出力端子間を交差結合する局所配線の一方を構成し、前記第2導電膜の上部に形成した第3導電膜で前記局所配線の他方を構成したことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とを少なくとも互いの一部が上下に重なるように配置し、前記局所配線の一方と前記局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成したことを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とは、前記局所配線の他方と前記フリップフロップ回路を構成するMISFETとを接続する接続孔の開孔領域とその合わせ余裕領域とを除いた領域において互いに重なり合っていることを特徴とする半導体集積回路装置。

【請求項4】 請求項2記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方との間に介在する前記絶縁膜は、窒化シリコン膜または五酸化タンタル膜であることを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2、3または4記載の半導体集積回路装置であって、前記第2導電膜および前記第3導電膜のそれぞれを金属材料で構成したことを特徴とする半導体集積回路装置。

【請求項6】 請求項5記載の半導体集積回路装置であって、前記第2導電膜および前記第3導電膜のうち、少なくとも前記第2導電膜を高融点金属または高融点金属化合物で構成したことを特徴とする半導体集積回路装置。

【請求項7】 請求項5記載の半導体集積回路装置であって、前記第2導電膜および前記第3導電膜のうち、少なくとも前記第3導電膜をアルミニウムを主成分とする金属材料で構成したことを特徴とする半導体集積回路装置。

【請求項8】 請求項1～7のいずれか1項に記載の半導体集積回路装置であって、前記一対の駆動用MISFET、前記一対の負荷用MISFETおよび前記一対の転送用MISFETのそれぞれのソース領域、ドレイン領域の表面に高融点金属シリサイド層を形成したことを特徴とする半導体集積回路装置。

【請求項9】 請求項1～7のいずれか1項に記載の半導体集積回路装置であって、前記一対の駆動用MISFET、前記一対の負荷用MISFETおよび前記一対の転送用MISFETのそれぞれのゲート電極、ソース領域およびドレイン領域の表面に高融点金属シリサイド層を形成したことを特徴とする半導体集積回路装置。

【請求項10】 請求項1～9のいずれか1項に記載の半導体集積回路装置であって、前記第3導電膜の上部に形成した第4導電膜で前記一対の駆動用MISFETのそれぞれのソース領域に接続される基準電圧線および前記一対の負荷用MISFETのそれぞれのソース領域に接続される電源電圧線を構成し、前記第4導電膜の上部に形成した第5導電膜で前記一対の転送用MISFETのそれぞれのドレイン領域に接続されるデータ線を構成したことを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10のいずれか1項に記載の半導体集積回路装置であって、前記一対の駆動用MISFETおよび前記一対の転送用MISFETが形成される半導体基板の第1導電型活性領域と、前記一対の負荷用MISFETが形成される半導体基板の第2導電型活性領域とを、前記半導体基板に開孔した溝によって分離したことを特徴とする半導体集積回路装置。

【請求項12】 請求項2記載の半導体集積回路装置であって、前記局所配線の一方と前記局所配線の他方とを、前記一対の駆動用MISFETのゲート電極とドレイン領域、前記一対の負荷用MISFETのゲート電極とドレイン領域および前記一対の転送用MISFETのゲート電極のそれぞれの上部に形成したことを特徴とする半導体集積回路装置。

【請求項13】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の一方を前記ゲート電極の上部に形成する工程、(c)前記局所配線の一方の上部に前記一対の局所配線の他方を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の少なくとも一方を前記

ゲート電極の上部に形成する工程、(c)前記局所配線の少なくとも一方の上部に堆積した第1絶縁膜をエッチングして、前記ゲート電極、前記局所配線の少なくとも一方のそれぞれの側壁にサイドウォールスペーサを形成する工程、(d)前記サイドウォールスペーサが形成された前記局所配線の少なくとも一方の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項15】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の少なくとも一方を前記ゲート電極の上部に形成する工程、(c)前記局所配線の少なくとも一方の上部に第1絶縁膜を堆積した後、前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜および前記第1絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成すると共に、前記ゲート電極および前記局所配線の少なくとも一方のそれぞれの側壁に前記第1絶縁膜からなるサイドウォールスペーサを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項14または15記載の半導体集積回路装置の製造方法であって、前記第1絶縁膜は、前記ゲート電極と前記接続孔との合わせ余裕および前記局所配線の少なくとも一方と前記接続孔との合わせ余裕よりも大きい膜厚で堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項14、15または16記載の半導体集積回路装置の製造方法であって、前記ゲート電極の上部に堆積した前記第2導電膜をパターニングして前記一対の局所配線の少なくとも一方を形成する工程に先立ち、前記ゲート電極と前記局所配線の少なくとも一方との間に介在する絶縁膜をエッチングして、前記局所配線の少なくとも一方に接続される領域の前記ゲート電極を露出させることを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項14、15、16または17記載の半導体集積回路装置の製造方法であって、前記ゲート電極と前記局所配線の少なくとも一方とを少なくとも互いの一部が上下に重なるように配置し、前記ゲート電

極と前記局所配線の少なくとも一方とそれらの間に介在する絶縁膜とで容量素子を構成することを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項14～18のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記局所配線の少なくとも一方の上部に、エッチング速度が前記第1絶縁膜とほぼ同じ材料で構成される第3絶縁膜を堆積し、前記第3絶縁膜の上部に前記第1絶縁膜を堆積することを特徴とする半導体集積回路装置の製造方法。

【請求項20】 請求項14～19のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記ゲート電極の上部に、前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETを覆うように、エッチング速度が前記第1絶縁膜とほぼ同じ絶縁材料で構成される第4絶縁膜を堆積し、前記第4絶縁膜の上部に前記局所配線の少なくとも一方を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項21】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の方を前記ゲート電極の上部に形成する工程、(c)前記局所配線の方の上部に堆積した第3導電膜をパターニングして、前記一対の局所配線の他方を形成する工程、(d)前記局所配線の他方の上部に堆積した第1絶縁膜をエッチングして、前記ゲート電極、前記局所配線の方および前記局所配線の他方のそれぞれの側壁にサイドウォールスペーサを形成する工程、(e)前記サイドウォールスペーサが形成された前記他方の局所配線の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項22】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記フリップフロップ回路の一対の入出力端子間を交差結合する一対の局所配線の方を前記ゲート電極の上部に形成する工程、(c)前記局所配線の方の上部に堆積した第3導電膜をパターニングして、前記一対

5

の局所配線の他方を形成する工程、(d)前記局所配線の他方の上部に第1絶縁膜を堆積した後、前記第1絶縁膜の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜および前記第1絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成すると共に、前記ゲート電極、前記局所配線の一方および前記局所配線の他方のそれぞれの側壁に前記第1絶縁膜からなるサイドウォールスペースを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項23】 請求項21または22記載の半導体集積回路装置の製造方法であって、前記第1絶縁膜は、前記ゲート電極と前記接続孔との合わせ余裕、前記局所配線の一方と前記接続孔との合わせ余裕および前記局所配線の他方と前記接続孔との合わせ余裕よりも大きい膜厚で堆積することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造方法に関し、特に、SRAM(Static Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体記憶装置であるSRAMのメモリセルは、1ビット bit の情報を記憶する情報蓄積部としてのフリップフロップ回路、および情報の書込み、読出しを行うデータ線と上記フリップフロップ回路との導通を制御する一対の転送用MISFET(Metal Insulator Semiconductor Field Effect Transistor)で構成されている。

【0003】メモリセルのフリップフロップ回路は、一例として一対のCMOS(Complementary Metal Oxide Semiconductor)インバータで構成される。この一対のCMOSインバータのそれぞれは、1個の駆動用MISFETと1個の負荷用MISFETとで構成される。つまりこの場合、メモリセルは、2個の駆動用MISFET、2個の負荷用MISFETおよび2個の転送用MISFETを組み合わせた完全CMOS型で構成される。これらのMISFETのうち、転送用MISFETと駆動用MISFETはnチャネル型で構成され、負荷用MISFETはpチャネル型で構成される。

【0004】上記フリップフロップ回路(CMOSインバータ)の一対の入出力端子間は、一例として局所配線と呼ばれる一対の配線を介して交差結合される。また、この入出力端子の一方には電源電圧線を通じて回路の電源電圧(例えば3V)が供給され、他方には基準電圧線を通じて回路の基準電圧(例えば0V)が供給される。

【0005】特開平7-99255号公報には、上記の

6

ような一対の局所配線を備えた完全CMOS型のSRAMが記載されている。このSRAMは、メモリセルを構成する6個のMISFETのゲート電極、フリップフロップ回路の一方の入出力端子に接続される電源電圧線、他方の入出力端子に接続される基準電圧線、一対の局所配線および転送用MISFETのドレイン領域に接続されるデータ線のそれぞれを異なる導電層に形成している。またこのSRAMは、上記局所配線と他の導電層(基準電圧線など)とを互いに交差するように配置し、この交差領域に容量素子を形成してメモリセルの蓄積ノード容量を増やすことにより、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防いでいる。

【0006】

【発明が解決しようとする課題】前記公報に記載されたSRAMは、メモリセルを構成する6個のMISFETのゲート電極、一対の局所配線、電源配線(電源電圧線および基準電圧線)、データ線のそれぞれを異なる導電層に形成する。そのため、フォトリソをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕が大きくなり、メモリセルサイズが増大してしまう。例えばゲート電極を第1層目の導電膜、局所配線を第2層目の導電膜、電源配線を第3層目の導電膜でそれぞれ構成した場合、電源配線をMISFETの半導体領域に接続する接続孔を形成する際には、ゲート電極と局所配線の両方に対して合わせ余裕を確保する必要がある。

【0007】また、前記公報に記載されたSRAMは、一対の局所配線を同一層の導電膜で形成している。そのため、メモリセル内に2本の局所配線を横に並べて配置するスペースが必要となり、その分、メモリセルサイズが増大してしまう。

【0008】本発明の目的は、完全CMOS型SRAMのメモリセルサイズを縮小する技術を提供することにある。

【0009】本発明の他の目的は、完全CMOS型SRAMの α 線ソフトエラー耐性を向上させる技術を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】本発明の半導体集積回路装置は、一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と一対の転送用MISFETとでメモリセルを構成したSRAMにおいて、半導体基板の主面上に形成した第1導電膜で前記駆動用MISFET、負荷用MISFETおよび転送用MISFETの

それぞれのゲート電極を構成し、前記第1導電膜の上部に形成した第2導電膜で前記フリップフロップ回路の一对の入出力端子間を交差結合する局所配線の一方を構成し、前記第2導電膜の上部に形成した第3導電膜で前記局所配線の他方を構成する。

【0013】本発明の半導体集積回路装置は、前記局所配線の一方と前記局所配線の他方とを少なくとも互いの一部が上下に重なるように配置し、前記局所配線の一方と前記局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成する。

【0014】本発明の半導体集積回路装置の製造方法は、一对の駆動用MISFETおよび一对の負荷用MISFETからなるフリップフロップ回路と一对の転送用MISFETとでメモリセルを構成したSRAMの製造において、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記ゲート電極の上部に、前記フリップフロップ回路の一对の入出力端子間を交差結合する一对の局所配線を形成する工程、(c)前記ゲート電極、前記局所配線のそれぞれの側壁にサイドウォールスペースを形成する工程、(d)前記サイドウォールスペースが形成された前記局所配線の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成する工程、を含んでいる。

【0015】本発明の半導体集積回路装置の製造方法は、一对の駆動用MISFETおよび一对の負荷用MISFETからなるフリップフロップ回路と一对の転送用MISFETとでメモリセルを構成したSRAMの製造において、(a)主面上に前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成した半導体基板を用意する工程、(b)前記ゲート電極の上部に前記フリップフロップ回路の一对の入出力端子間を交差結合する局所配線の一方を形成する工程、(c)前記局所配線の一方の上部に前記一对の局所配線の他方を形成する工程、(d)前記局所配線の他方の上部に堆積した第1絶縁膜をエッチングして、前記ゲート電極、前記局所配線の一方および前記局所配線の他方のそれぞれの側壁にサイドウォールスペースを形成する工程、(e)前記サイドウォールスペースが形成された前記他方の局所配線の上部に前記第1絶縁膜とはエッチング速度が異なる第2絶縁膜を堆積し、前記第2絶縁膜をエッチングして前記駆動用MISFETまたは前記負荷用MISFETのソース領域に達する接続孔を形成する工程、を含んでいる。

【0016】上記した手段によれば、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一对の局所配線を異なる導電層に形成することにより、一对の

局所配線を同一層の導電膜で形成する場合には必要となる2本の局所配線を横に並べて配置するスペースが不要となり、局所配線同士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することが可能となる。

【0017】上記した手段によれば、局所配線の一方と局所配線の他方とを上下に重なり合うように配置し、局所配線の一方と局所配線の他方とそれらの間に介在する絶縁膜とで容量素子を構成することにより、メモリセルの蓄積ノード容量を増やすことができるので、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【0018】上記した手段によれば、フォトレジストをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕を不要とすることができるので、メモリセルの占有面積を縮小することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0020】(実施の形態1)図5は、本実施の形態のSRAMのメモリセルの等価回路図である。図示のように、このメモリセルは、一对の相補性データ線(データ線DL、データ線/(バー)DL)とワード線WLとの交差部に配置され、かつ一对の駆動用MISFET Q_{d1} 、 Q_{d2} 、一对の負荷用MISFET Q_{p1} 、 Q_{p2} および一对の転送用MISFET Q_{t1} 、 Q_{t2} で構成されている。これらのMISFETのうち、駆動用MISFET Q_{d1} 、 Q_{d2} および転送用MISFET Q_{t1} 、 Q_{t2} はnチャネル型で構成され、負荷用MISFET Q_{p1} 、 Q_{p2} はpチャネル型で構成されている。すなわち、このメモリセルは、4個のnチャネル型MISFETと2個のpチャネル型MISFETとを使った完全CMOS型で構成されている。

【0021】上記メモリセルを構成する6個のMISFETのうち、一对の駆動用MISFET Q_{d1} 、 Q_{d2} と一对の負荷用MISFET Q_{p1} 、 Q_{p2} は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路の一方の入出力端子(蓄積ノード)は転送用MISFET Q_{t1} のソース、ドレイン領域の一方に電気的に接続され、他方の入出力端子(蓄積ノード)は転送用MISFET Q_{t2} のソース、ドレイン領域の一方に電気的に接続されている。

【0022】転送用MISFET Q_{t1} のソース、ドレイン領域の他方にはデータ線DLが電気的に接続され、転送用MISFET Q_{t2} のソース、ドレイン領域の他方にはデータ線/DLが電気的に接続されている。また、フリップフロップ回路の一端(負荷用MISFET

Qp1, Qp2 の各ソース領域)は電源電圧 (Vcc) に接続され、他端 (駆動用MISFETQd1, Qd2 の各ソース領域)は基準電圧 (Vss) に接続されている。電源電圧 (Vcc) は例えば3Vであり、基準電圧 (Vss) は例えば0V (GND) である。

【0023】上記フリップフロップ回路の入出力端子間は、一対の局所配線L1, L2 を介して交差結合している。後述するように、本実施の形態では、この一対の局所配線L1, L2 を異なる導電層に配置する。

【0024】上記メモリセルの具体的な構成を図1 (メモリセル約1個分の平面図)、図2 (図1のA-A' 線に沿った断面図)、図3 (図1のB-B' 線に沿った断面図) および図4 (メモリセル約4個分の平面図) を用いて説明する。なお、図1および図4にはメモリセルを構成する導電層と上下の導電層を接続する接続孔のみを示し、各導電層を分離する絶縁膜の図示は省略する。

【0025】メモリセルを構成する6個のMISFETは、単結晶シリコンからなる半導体基板1の主面の素子分離溝2によって周囲を囲まれた活性領域に形成されている。nチャネル型で構成された駆動用MISFETQd1, Qd2 および転送用MISFETQt1, Qt2 は、p型ウエル3の活性領域に形成されており、pチャネル型で構成された負荷用MISFETQp1, Qp2 は、n型ウエル4の活性領域に形成されている。

【0026】一対の転送用MISFETQt1, Qt2 のそれぞれは、p型ウエル3の活性領域に形成されたn型半導体領域5、5 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜6と、このゲート酸化膜6の上部に形成されたゲート電極7とで構成されている。転送用MISFETQt1, Qt2 のそれぞれのゲート電極7は、例えばn型多結晶シリコン膜とW (タングステン) シリサイド (WSi2) 膜とを積層したポリサイド構造で構成され、ワード線WLと一体に構成されている。ワード線WLは、第1方向 (図1および図4の左右方向) に延在して設けられ、一対の転送用MISFETQt1, Qt2 は、この第1方向に沿って互いに隣接して配置されている。また、一対の転送用MISFETQt1, Qt2 は、そのゲート長方向が第1方向と直交する第2方向 (図1および図4の上下方向) と一致するように配置されている。

【0027】一対の駆動用MISFETQd1, Qd2 のそれぞれは、p型ウエル3の活性領域に形成されたn型半導体領域5、5 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜6と、このゲート酸化膜6の上部に形成されたゲート電極8とで構成されている。駆動用MISFETQd1 のn型半導体領域5 (ドレイン領域) は、転送用MISFETQt1 のn型半導体領域5 (ソース領域、ドレイン領域の一方) と共通の活性領域に形成され、駆動用MISFETQd2 のn型半導体領域5 (ドレイン領域) は、転送用

MISFETQt2 のn型半導体領域5 (ソース領域、ドレイン領域の一方) と共通の活性領域に形成されている。駆動用MISFETQd1, Qd2 のそれぞれのゲート電極8は、例えばn型多結晶シリコン膜とWシリサイド膜とを積層したポリサイド構造で構成されている。

【0028】一対の負荷用MISFETQp1, Qp2 のそれぞれは、n型ウエル4の活性領域に形成されたp型半導体領域9、9 (ソース領域、ドレイン領域) と、この活性領域の表面に形成されたゲート酸化膜6と、このゲート酸化膜6の上部に形成されたゲート電極8とで構成されている。負荷用MISFETQp1 のゲート電極8は、前記駆動用MISFETQd1 のゲート電極8と一体に構成されており、負荷用MISFETQp2 のゲート電極8は、前記駆動用MISFETQd2 のゲート電極8と一体に構成されている。

【0029】前記駆動用MISFETQd1 は、前記第2方向において負荷用MISFETQp1 と転送用MISFETQt1 との間に配置され、前記駆動用MISFETQd2 は、第2方向において負荷用MISFETQp2 と転送用MISFETQt2 との間に配置されている。一対の駆動用MISFETQd1, Qd2 および一対の負荷用MISFETQp1, Qp2 のそれぞれは、そのゲート長方向が前記第1方向と一致するように配置されている。

【0030】駆動用MISFETQd1, Qd2 および転送用MISFETQt1, Qt2 のそれぞれのn型半導体領域5、5 (ソース領域、ドレイン領域) の表面には、n型半導体領域5、5のシート抵抗を低減する目的でTi (チタン) シリサイド (TiSi2) 層10が形成されている。同様に、負荷用MISFETQp1, Qp2 のそれぞれのp型半導体領域9、9のシート抵抗を低減する目的でTiシリサイド層10が形成されている。

【0031】転送用MISFETQt1, Qt2 のゲート電極7 (ワード線WL) および駆動用MISFETQd1, Qd2 (負荷用MISFETQp1, Qp2) のゲート電極8のそれぞれの側壁には、酸化シリコン膜からなるサイドウォールスペーサ11が形成されている。また、ゲート電極7 (ワード線WL)、ゲート電極8のそれぞれの上には酸化シリコン膜 (キャップ絶縁膜) 12が形成されている。

【0032】上記6個のMISFETの上部には、窒化シリコン膜13が形成されており、この窒化シリコン膜13の上部には一対の局所配線L1, L2 の一方 (局所配線L1) が形成されている。この局所配線L1 の一端部は、窒化シリコン膜13および酸化シリコン膜12に開孔された接続孔14を通じて、負荷用MISFETQp2 および駆動用MISFETQd2 に共通のゲート電極8と電気的に接続されている。局所配線L1 の他の一端

11

部は、窒化シリコン膜13に開孔された接続孔15を通じて、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と電気的に接続されている。局所配線L₁のさらに他の一端部は、窒化シリコン膜13に開孔された接続孔16を通じて、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）と電気的に接続されている。すなわち、局所配線L₁は駆動用MISFETQ_{d1}（負荷用MISFETQ_{p2}）のゲート電極8と、駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）と、負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）とを互いに電気的に接続している。局所配線L₁は、例えばTiN（チタンナイトライド）膜からなる。局所配線L₁はTiNの他、Wなどの高融点金属や、Wシリサイドなどの高融点金属シリサイドで構成することもできる。

【0033】上記局所配線L₁の上部には、PSG(Phospho Silicate Glass)などの酸化シリコン系絶縁膜からなる第1層目の層間絶縁膜17を介して一対の局所配線L₁, L₂の他方（局所配線L₂）が形成されている。この局所配線L₂の一端部は、層間絶縁膜17、窒化シリコン膜13および酸化シリコン膜12に開孔された接続孔18を通じて、負荷用MISFETQ_{p1}および駆動用MISFETQ_{d1}に共通のゲート電極8と電気的に接続されている。局所配線L₂の他の一端部は、層間絶縁膜17および窒化シリコン膜13に開孔された接続孔19を通じて、駆動用MISFETQ_{d2}のn型半導体領域5（ドレイン領域）と電気的に接続されている。局所配線L₂のさらに他の一端部は、層間絶縁膜17および窒化シリコン膜13に開孔された接続孔20を通じて、負荷用MISFETQ_{p2}のp型半導体領域9（ドレイン領域）と電気的に接続されている。すなわち、局所配線L₂は駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）ゲート電極8と、駆動用MISFETQ_{d2}のn型半導体領域5（ドレイン領域）と、負荷用MISFETQ_{p2}のp型半導体領域9（ドレイン領域）とを互いに電気的に接続している。局所配線L₂は、例えば上下にTiNのバリアメタル層を設けたAl（アルミニウム）膜からなる。また、上記接続孔18、19、20の内部には、局所配線L₂とゲート電極8、n型半導体領域5およびp型半導体領域9との導通信頼性を確保するために、W膜などからなるプラグ29が埋め込まれている。

【0034】上記局所配線L₂の上部には、酸化シリコンからなる第2層目の層間絶縁膜21を介して電源電圧線22および基準電圧線23が形成されている。電源電圧線22は、層間絶縁膜21、17および窒化シリコン膜13に開孔された接続孔24を通じて負荷用MISFETQ_{p1}, Q_{p2}のそれぞれのp型半導体領域9（ソース領域）に電気的に接続され、これらのp型半導体領域9に電源電圧（V_{cc}）を供給する。また、基準電圧線

12

23は、層間絶縁膜21、17および窒化シリコン膜13に開孔された接続孔25を通じて駆動用MISFETQ_{d1}, Q_{d2}のそれぞれのn型半導体領域5（ソース領域）に電気的に接続され、これらのn型半導体領域5に基準電圧（V_{ss}）を供給する。電源電圧線22および基準電圧線23は、例えば上下にTiNのバリアメタル層を形成したAl膜からなる。また、上記接続孔24、25の内部には、電源電圧線22とp型半導体領域9、基準電圧線23とn型半導体領域5との導通信頼性を確保するために、W膜などからなるプラグ37が埋め込まれている。

【0035】上記電源電圧線22および基準電圧線23の上部には、酸化シリコンからなる第3層目の層間絶縁膜26を介して一対の相補性データ線（データ線DL、データ線/DL）が形成されている。相補性データ線の一方（データ線DL）は、層間絶縁膜26、21、17および窒化シリコン膜13に開孔された接続孔27を通じて転送用MISFETQ_{t1}のn型半導体領域5（ソース領域、ドレイン領域の他方）に電気的に接続されている。また、相補性データ線の他方（データ線/DL）は、層間絶縁膜26、21、17および窒化シリコン膜13に開孔された接続孔27を通じて転送用MISFETQ_{t2}のn型半導体領域5（ソース領域、ドレイン領域の他方）に電気的に接続されている。データ線DLおよびデータ線/DLは、例えば上下にTiNのバリアメタル層を形成したAl膜からなる。図示はしないが、上記接続孔27、27の内部には、データ線（DL、/DL）とn型半導体領域5との導通信頼性を確保するためにW膜などからなるプラグが埋め込まれている。

【0036】このように、本実施の形態のSRAMは、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線L₁, L₂を異なる導電層に形成する。この構成により、一対の局所配線を同一の導電層に形成する場合には必要となる2本の局所配線を横に並べて配置するスペースが不要となり、局所配線L₁, L₂同士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することができる。

【0037】次に、本実施の形態のSRAMのメモリセルの製造方法を図6～図32を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図（a）は平面図のA-A'線に対応し、断面図（b）は平面図のB-B'線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0038】まず、図6および図7に示すように、p型単結晶シリコンからなる半導体基板1の主面の活性領域ARの周囲（素子分離領域）に溝30を形成する。この溝30は、半導体基板1上に酸化シリコン膜31と窒化シリコン膜32とを順次堆積した後、フォトリソ

13

をマスクにして窒化シリコン膜32、酸化シリコン膜31および半導体基板1を順次ドライエッチングして形成する。

【0039】次に、図8に示すように、溝30の内部に酸化シリコン膜36を埋め込んで素子分離溝2を形成する。素子分離溝2は、溝30の内部を含む半導体基板1上にCVD(Chemical Vapor Deposition)法で酸化シリコン膜36を厚く堆積した後、窒化シリコン膜32をエッチングストップに用い、酸化シリコン膜36をエッチバック(あるいは化学的機械研磨(CMP))により除去して形成する。

【0040】次に、活性領域ARの表面に残った窒化シリコン膜32および酸化シリコン膜31をエッチングで除去した後、図9および図10に示すように、駆動用MISFETQd1、Qd2および転送用MISFETQt1、Qt2を形成する活性領域ARの半導体基板1にp型不純物(ホウ素)をイオン打ち込みしてp型ウエル3を形成し、負荷用MISFETQp1、Qp2を形成する活性領域ARの半導体基板1にn型不純物(リンまたはヒ素)をイオン打ち込みしてn型ウエル4を形成する。その後、p型ウエル3およびn型ウエル4のそれぞれの表面を熱酸化してゲート酸化膜6を形成する。

【0041】次に、図11に示すように、半導体基板1上にCVD法でn型多結晶シリコン膜33、Wシリサイド膜34および酸化シリコン膜12を順次堆積した後、図12および図13に示すように、フォトリソをマスクにしたドライエッチングで酸化シリコン膜12、Wシリサイド膜34およびn型多結晶シリコン膜33をパターンニングすることにより、転送用MISFETQt1、Qt2のゲート電極7(ワード線WL)および駆動用MISFETQd1、Qd2(負荷用MISFETQp1、Qp2)のゲート電極8、8を形成する。

【0042】次に、図14および図15に示すように、p型ウエル3にn型不純物(リンまたはヒ素)をイオン打ち込みして転送用MISFETQt1、Qt2および駆動用MISFETQd1、Qd2のn型半導体領域5、5(ソース領域、ドレイン領域)を形成し、n型ウエル4にp型不純物(ホウ素)をイオン打ち込みして負荷用MISFETQp1、Qp2のp型半導体領域9、9(ソース領域、ドレイン領域)を形成した後、半導体基板1上にCVD法で堆積した酸化シリコン膜を異方性エッチングすることにより、転送用MISFETQt1、Qt2のゲート電極7(ワード線WL)および駆動用MISFETQd1、Qd2(負荷用MISFETQp1、Qp2)のゲート電極8、8のそれぞれの側壁にサイドウォールスペーサ11を形成する。

【0043】次に、駆動用MISFETQd1、Qd2および転送用MISFETQt1、Qt2のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6と、負荷用MISFETQp1、Q

14

p2のp型半導体領域9、9(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6とをエッチングで除去した後、図16に示すように、半導体基板1上にスパッタリング法でTi膜35を堆積する。

【0044】次に、半導体基板1をアニール(熱処理)してTi膜35と半導体基板1(n型半導体領域5、p型半導体領域9)とを反応させた後、未反応のTi膜35をエッチングで除去することにより、図17および図18に示すように、n型半導体領域5およびp型半導体領域9の表面にTiシリサイド層10を形成する。その後、必要に応じて半導体基板1をアニールし、Tiシリサイド層10を低抵抗化する。また、Tiシリサイド層10を形成する代わりに、半導体基板1上にスパッタリング法でCo(コバルト)膜を堆積し、半導体基板1(n型半導体領域5、p型半導体領域9)とCo膜とを反応させてCoシリサイド層を形成してもよい。

【0045】次に、図19および図20に示すように、半導体基板1上にCVD法で膜厚30nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソをマスクにしたドライエッチングで駆動用MISFETQd2(負荷用MISFETQp2)のゲート電極8の上部の窒化シリコン膜13および酸化シリコン膜12を開孔して接続孔14を形成する。同時に、駆動用MISFETQd1のn型半導体領域5(ドレイン領域)の上部の窒化シリコン膜13をエッチングで除去して接続孔15を形成し、負荷用MISFETQp1のp型半導体領域9(ドレイン領域)の上部の窒化シリコン膜13をエッチングで除去して接続孔16を形成する。

【0046】次に、図21および図22に示すように、窒化シリコン膜13の上部に局所配線L1を形成する。局所配線L1は、半導体基板1上にスパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜を、フォトリソをマスクにしたドライエッチングでパターンニングして形成する。局所配線L1は、接続孔14を通じて負荷用MISFETQp2および駆動用MISFETQd2に共通のゲート電極8と接続され、接続孔15を通じて駆動用MISFETQd1のn型半導体領域5(ドレイン領域)と接続され、接続孔16を通じて負荷用MISFETQp1のp型半導体領域9(ドレイン領域)に接続される。

【0047】次に、図23および図24に示すように、局所配線L1の上部にCVD法でPSGからなる層間絶縁膜17を堆積した後、フォトリソをマスクにしたドライエッチングで駆動用MISFETQd1(負荷用MISFETQp1)のゲート電極8の上部の層間絶縁膜17、窒化シリコン膜13および酸化シリコン膜12を開孔して接続孔18を形成する。同時に、駆動用MISFETQd2のn型半導体領域5(ドレイン領域)の上部の層間絶縁膜17および窒化シリコン膜13をエッチングで除去して接続孔19を形成し、負荷用MISF

15

ETQP₂のp型半導体領域9(ドレイン領域)の上部の層間絶縁膜17および窒化シリコン膜13をエッチングで除去して接続孔20を形成する。

【0048】次に、図25および図26に示すように、接続孔18、19、20の内部にW膜を埋め込んでプラグ29を形成した後、層間絶縁膜17の上部に局所配線L₂を形成する。W膜の埋込みは、層間絶縁膜17上にスパッタリング法で堆積したW膜をエッチバックして行う。また、局所配線L₂は、層間絶縁膜17上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソをマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。局所配線L₂は、接続孔18を通じて負荷用MISFETQ_{p1}および駆動用MISFETQ_{d1}に共通のゲート電極8と接続され、接続孔19を通じて駆動用MISFETQ_{d2}のn型半導体領域5(ドレイン領域)と接続され、接続孔20を通じて負荷用MISFETQ_{p2}のp型半導体領域9(ドレイン領域)に接続される。

【0049】次に、図27、図28および図29に示すように、局所配線L₂の上部にCVD法で酸化シリコンからなる層間絶縁膜21を堆積した後、フォトリソをマスクにしたドライエッチングで負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域)の上部の層間絶縁膜21、17および窒化シリコン膜13を開孔して接続孔24、24を形成する。同時に、駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5(ソース領域)の上部の層間絶縁膜21、17および窒化シリコン膜13を開孔して接続孔25、25を形成する。

【0050】次に、接続孔24、25の内部にW膜を埋め込んでプラグ37を形成した後、図30、図31および図32に示すように、層間絶縁膜21の上部に電源電圧線22および基準電圧線23を形成する。電源電圧線22および基準電圧線23は、層間絶縁膜21上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソをマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。電源電圧線22は、上記接続孔24、24を通じて負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域)に接続され、基準電圧線23は、上記接続孔25、25を通じて駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5(ソース領域)に接続される。

【0051】その後、電源電圧線22および基準電圧線23の上部にCVD法で酸化シリコンからなる層間絶縁膜26を堆積した後、フォトリソをマスクにしたドライエッチングで転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5(ドレイン領域)の上部の層間絶縁膜26、21、17および窒化シリコン膜13を開孔して接続孔27、27を形成し、続いて接続孔

16

27、27の内部にW膜を埋め込んでプラグを形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。データ線DL、/DLは、層間絶縁膜26上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、フォトリソをマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。データ線DLは、接続孔27、27の一方を通じて転送用MISFETQ_{t1}のn型半導体領域5(ドレイン領域)に接続され、データ線/DLは、接続孔27、27の他方を通じて転送用MISFETQ_{t2}のn型半導体領域5(ドレイン領域)に接続される。以上の工程により、前記図1〜図4に示すメモリセルが完成する。

【0052】(実施の形態2) 図33は、本実施の形態のSRAMのメモリセルを示す平面図、図34は、図33のA-A'線に沿った断面図、図35は、図33のB-B'線に沿った断面図、図36は、本実施の形態のSRAMのメモリセルの等価回路図である。

【0053】図示のように、本実施の形態のSRAMは、前記実施の形態1のSRAMと同様に、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線L₁、L₂を異なる導電層に形成している。また、本実施の形態のSRAMは、上層の局所配線L₂と下層の局所配線L₁とを広い面積で重なり合うように配置し、局所配線L₁、L₂とそれらの間に介在する薄い絶縁膜(窒化シリコン膜42)とで容量素子Cを構成している。すなわち、上層の局所配線L₂は容量素子Cの一方の電極を構成し、下層の局所配線L₁は他方の電極を構成し、絶縁膜(窒化シリコン膜42)は誘電体膜を構成している。

【0054】本実施の形態のSRAMのメモリセルの製造方法を図37〜図48を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図(a)は平面図のA-A'線に対応し、断面図(b)は平面図のB-B'線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0055】まず、前記実施の形態1の図6〜図18に示す製造方法に従い、半導体基板1の主面に素子分離溝2、p型ウエル3、n型ウエル4およびゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}を形成し、n型ウエル4に負荷用MISFETQ_{p1}、Q_{p2}を形成する。また、転送用MISFETQ_{t1}、Q_{t2}および駆動用MISFETQ_{d1}、Q_{d2}のn型半導体領域5、5(ソース領域、ドレイン領域)の表面と、負荷用MISFETQ_{p1}、Q_{p2}のp型半導体領域9、9(ソース領域、ドレイン領域)の表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0056】次に、図37および図38に示すように、半導体基板1上にCVD法で膜厚50nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソをマスク

17

にしたドライエッチングで駆動用MISFETQd₂ (負荷用MISFETQp₂) のゲート電極8の上部の窒化シリコン膜13および酸化シリコン膜12を開孔して接続孔14を形成する。同時に、駆動用MISFETQd₁ のn型半導体領域5 (ドレイン領域) の上部の窒化シリコン膜13をエッチングで除去して接続孔40を形成し、負荷用MISFETQp₁ のp型半導体領域9 (ドレイン領域) の上部の窒化シリコン膜13をエッチングで除去して接続孔41を形成する。

【0057】次に、図39および図40に示すように、窒化シリコン膜13の上部に局所配線L₁ を形成する。局所配線L₁ は、窒化シリコン膜13上にスパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜を、フォトレジストをマスクにしたドライエッチングでパターニングして形成する。この局所配線L₁ は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成する。すなわち、局所配線L₁ は、駆動用MISFETQd₁ (負荷用MISFETQp₁) のゲート電極8、駆動用MISFETQd₂ (負荷用MISFETQp₂) のゲート電極8、転送用MISFETQ_{t1}, Q_{t2} のゲート電極7 (ワード線WL)、転送用MISFETQ_{t1}, Q_{t2} と駆動用MISFETQd₁, Qd₂ に共通のn型半導体領域5 (ソース領域、ドレイン領域の一方) および負荷用MISFETQp₁, Qp₂ のp型半導体領域9 (ドレイン領域) のそれぞれの上に配置され、これらを覆うように形成される。

【0058】局所配線L₁ は、接続孔14を通じて駆動用MISFETQd₂ (負荷用MISFETQp₂) のゲート電極8と接続され、接続孔40を通じて駆動用MISFETQd₁ のn型半導体領域5 (ドレイン領域) と接続され、接続孔41を通じて負荷用MISFETQp₁ のp型半導体領域9 (ドレイン領域) と接続される。

【0059】次に、図41および図42に示すように、局所配線L₁ の上部にCVD法で膜厚30nm程度の窒化シリコン膜42を堆積した後、フォトレジストをマスクにしたドライエッチングで駆動用MISFETQd₁ (負荷用MISFETQp₁) のゲート電極8の上部の窒化シリコン膜17、13および酸化シリコン膜12を開孔して接続孔18を形成する。同時に、駆動用MISFETQd₂ のn型半導体領域5 (ドレイン領域) の上部の窒化シリコン膜17、13をエッチングで除去して接続孔19を形成し、負荷用MISFETQp₂ のp型半導体領域9 (ドレイン領域) の上部の窒化シリコン膜17、13をエッチングで除去して接続孔20を形成する。

【0060】次に、図43および図44に示すように、窒化シリコン膜42の上部に局所配線L₂ を形成する。局所配線L₂ は、スパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜を、フォトレジスト

18

をマスクにしたドライエッチングでパターニングして形成する。局所配線L₂ はTiNの他、Wなどの高融点金属や、Wシリサイドなどの高融点金属シリサイドで構成することもできる。局所配線L₂ は、接続孔18を通じて駆動用MISFETQd₁ (負荷用MISFETQp₁) のゲート電極8と接続され、接続孔19を通じて駆動用MISFETQd₂ のn型半導体領域5 (ドレイン領域) と接続され、接続孔20を通じて負荷用MISFETQp₂ のp型半導体領域9 (ドレイン領域) と接続される。

【0061】局所配線L₂ は、下層の局所配線L₁ の上部において、メモリセルを構成する6個のMISFETを覆うように広い面積で形成し、接続孔18、19、20の開孔領域とその合わせ余剰領域とを除いた領域において局所配線L₁ とほぼ完全に重なるようにする。これにより、局所配線L₁, L₂ (電極) とそれらの間に介在する、局所配線L₁, L₂ よりも薄い膜厚の窒化シリコン膜42 (誘電体膜) とで容量素子Cを形成し、しかもこの容量素子Cの電荷を大きくすることができるので、蓄積ノードの電荷蓄積量を増やしてメモリセルのα線ソフトエラー耐性を向上させることができる。また、局所配線L₁, L₂ の間に介在する薄い絶縁膜を五酸化タンタル (Ta₂O₅) などの高誘電体材料で構成することにより、蓄積ノードの電荷蓄積量をさらに増やすこともできる。

【0062】次に、図45および図46に示すように、局所配線L₂ の上部にCVD法で酸化シリコンからなる層間絶縁膜21を堆積した後、フォトレジストをマスクにしたドライエッチングで負荷用MISFETQp₁, Qp₂ のそれぞれのp型半導体領域9、9 (ソース領域) の上部の層間絶縁膜21および窒化シリコン膜17、13を開孔して接続孔24、24を形成する。同時に、駆動用MISFETQd₁, Qd₂ のそれぞれのn型半導体領域5、5 (ソース領域) の上部の層間絶縁膜21および窒化シリコン膜17、13を開孔して接続孔25、25を形成する。

【0063】次に、図47および図48に示すように、接続孔24、25の内部にW膜を埋め込んでプラグ29を形成した後、層間絶縁膜21の上部に電源電圧線22および基準電圧線23を形成する。電源電圧線22および基準電圧線23は、層間絶縁膜21上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、これらをパターニングして形成する。

【0064】その後、電源電圧線22および基準電圧線23の上部にCVD法で酸化シリコンからなる層間絶縁膜26を堆積した後、フォトレジストをマスクにしたドライエッチングで転送用MISFETQ_{t1}, Q_{t2} のそれぞれのn型半導体領域5、5 (ドレイン領域) の上部の層間絶縁膜26、21および窒化シリコン膜17、13を開孔して接続孔27、27を形成し、続いて接続孔

27、27の内部にW膜を埋め込んでプラグを形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。データ線DL、/DLは、層間絶縁膜26上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、これらをパターニングして形成する。以上の工程により、前記図33～図35に示すメモリセルが完成する。

【0065】(実施の形態3)本実施の形態のSRAMは、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線L₁、L₂を同一の導電層に形成している。このSRAMのメモリセルの製造方法を図49～図63を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、断面図は平面図のC-C'線に対応している。また、各平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0066】まず、図49および図50に示すように、半導体基板1の主面にp型ウエル3およびn型ウエル4を形成し、次いでそれらの表面に素子分離用のフィールド酸化膜28およびMISFETのゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}を形成し、n型ウエル4に負荷用MISFETQ_{p1}、Q_{p2}を形成する。転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)および駆動用MISFETQ_{d1}、Q_{d2}(負荷用MISFETQ_{p1}、Q_{p2})のゲート電極8、8は、膜厚300nm程度の多結晶シリコン膜で構成する。ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの側壁のサイドウォールスペーサ11は、酸化シリコン膜をエッチングして形成する。

【0067】次に、図51および図52に示すように、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)、駆動用MISFETQ_{d1}、Q_{d2}(負荷用MISFETQ_{p1}、Q_{p2})のゲート電極8、8、転送用MISFETQ_{t1}、Q_{t2}および駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域、ドレイン領域)のそれぞれの表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0068】Tiシリサイド層10を形成するには、ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの表面を覆う酸化シリコン膜12と、駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6と、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6とをエッチングで除去した後、半導体基板1上にスパッタリング法でTi膜を堆積し、次いで半導体基板1をアニールしてTi膜と半導体基板1(n型半導

体領域5、p型半導体領域9)、Ti膜と多結晶シリコン膜(ゲート電極7、8)をそれぞれ反応させた後、未反応のTi膜をエッチングで除去する。

【0069】次に、図53および図54に示すように、半導体基板1上にCVD法で膜厚30nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソistをマスクにして窒化シリコン膜13をドライエッチングすることにより、駆動用MISFETQ_{d1}のn型半導体領域5(ドレイン領域)と駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8とにまたがる接続孔43、負荷用MISFETQ_{p2}のp型半導体領域9(ドレイン領域)と駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8とにまたがる接続孔44をそれぞれ形成する。同時に、駆動用MISFETQ_{d2}のn型半導体領域5(ドレイン領域)の上部に接続孔45を形成し、負荷用MISFETQ_{p1}のp型半導体領域9(ドレイン領域)の上部に接続孔46を形成する。このとき、フィールド酸化膜28の表面は窒化シリコン膜13で覆われているので、このドライエッチングでフィールド酸化膜28が削れることはない。

【0070】次に、図55および図56に示すように、窒化シリコン膜13の上部にTiN膜からなる一対の局所配線L₁、L₂を形成する。局所配線L₁、L₂を形成するには、窒化シリコン膜13上にスパッタリング法またはCVD法で膜厚50～100nm程度のTiN膜を堆積し、次いでこのTiN膜上にCVD法で膜厚100nm程度の窒化シリコン膜47を堆積した後、フォトリソistをマスクにしたドライエッチングで窒化シリコン膜47およびTiN膜をパターニングする。局所配線L₁、L₂はTiNの他、Wなどの高融点金属や、Wシリサイドなどの高融点金属シリサイドで構成することもできる。

【0071】局所配線L₁は、駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)とに重なるように配置し、局所配線L₂は、駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)とに重なるように配置する。この構成により、局所配線L₁とゲート電極8との間に介在する薄い窒化シリコン膜13とで容量素子C'が形成され、また局所配線L₂とゲート電極8との間に介在する窒化シリコン膜13とで容量素子C'が形成されるので、蓄積ノードの電荷蓄積容量を増やしてメモリセルのα線ソフトエラー耐性を向上させることができる。これらの容量素子C'は、前記実施の形態2(図36)の容量素子Cと実効的に等しい働きをする。

【0072】局所配線L₁は、接続孔43を通じて駆動用MISFETQ_{d1}のn型半導体領域5(ドレイン領域)と駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8とに接続され、接続孔46を通

21

じて負荷用MISFETQp1のp型半導体領域9(ドレイン領域)に接続される。つまり、駆動用MISFETQd2(負荷用MISFETQp2)のゲート電極8と、駆動用MISFETQd1のn型半導体領域5(ドレイン領域)と、負荷用MISFETQp1のp型半導体領域9(ドレイン領域)とは局所配線L1を介して互いに接続される。

【0073】局所配線L2は、接続孔44を通じて負荷用MISFETQp2のp型半導体領域9(ドレイン領域)と駆動用MISFETQd1(負荷用MISFETQp1)のゲート電極8とに接続され、接続孔45を通じて駆動用MISFETQd2のn型半導体領域5(ドレイン領域)に接続される。つまり、駆動用MISFETQd1(負荷用MISFETQp1)のゲート電極8と、駆動用MISFETQd2のn型半導体領域5(ドレイン領域)と、負荷用MISFETQp2のp型半導体領域9(ドレイン領域)とは局所配線L2を介して互いに接続される。

【0074】次に、図57に示すように、窒化シリコン膜47の上部にCVD法で膜厚200nm程度の窒化シリコン膜53を堆積した後、図58に示すように、この窒化シリコン膜53をRIE(Reactive Ion Etching)などの異方性エッチングで加工することにより、ゲート電極7(ワード線WL)、ゲート電極8および局所配線L1、L2のそれぞれの側壁にサイドウォールスペーサ48を形成する。

【0075】次に、図59および図60に示すように、窒化シリコン膜47およびサイドウォールスペーサ48の上部に、窒化シリコン膜47、53(サイドウォールスペーサ48)とはエッチング速度が異なる、例えばPSGのような酸化シリコン系の層間絶縁膜49をCVD法で堆積した後、フォトリソをマスクにしたドライエッチングで負荷用MISFETQp1、Qp2のそれぞれのp型半導体領域9、9(ソース領域)の上部の層間絶縁膜49を開孔して接続孔50、50を形成する。同時に、駆動用MISFETQd1、Qd2のそれぞれのn型半導体領域5、5(ソース領域)の上部の層間絶縁膜49を開孔して接続孔51、51を形成し、転送用MISFETQt1、Qt2のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域の他方)の上部の層間絶縁膜49を開孔して接続孔52、52を形成する。

【0076】PSGからなる層間絶縁膜49をエッチングして接続孔50、51、52を形成する上記の工程では、局所配線L1、L2の上部に形成された窒化シリコン膜47や、ゲート電極7(ワード線WL)、ゲート電極8および局所配線L1、L2のそれぞれの側壁に形成された窒化シリコンからなるサイドウォールスペーサ48は、層間絶縁膜49とはエッチング速度が異なるので、ほとんどエッチングされない。

【0077】そのため、層間絶縁膜49をエッチングし

22

て接続孔50、51、52を形成する際に用いるフォトリソマスクと、TiN膜をエッチングして局所配線L1、L2を形成する際に用いたフォトリソマスクの合わせずれに起因して接続孔50、51、52と局所配線L1、L2との間に位置ずれが生じ、その結果、接続孔50、51、52のいずれかと局所配線L1または局所配線L2とが一部で重なり合った場合でも、層間絶縁膜49をエッチングした際に局所配線L1または局所配線L2が接続孔50、51、52のいずれかの側壁に露出することがないので、後の工程で接続孔50、51、52の内部に堆積される導電膜と局所配線L1または局所配線L2とが短絡するようなことはない。

【0078】また、層間絶縁膜49をエッチングして接続孔50、51、52を形成する際に用いるフォトリソマスクと、多結晶シリコン膜をエッチングしてゲート電極7(ワード線WL)およびゲート電極8を形成する際に用いたフォトリソマスクの合わせずれに起因して接続孔50、51、52とゲート電極7(ワード線WL)およびゲート電極8との間に位置ずれが生じ、その結果、接続孔50、51、52のいずれかとゲート電極7(ワード線WL)またはゲート電極8とが一部で重なり合った場合でも、層間絶縁膜49をエッチングした際にゲート電極8が接続孔50または接続孔51の側壁に露出したり、ゲート電極7(ワード線WL)が接続孔52の側壁に露出したりすることがないため、後の工程で接続孔50、51、52の内部に堆積される導電膜とゲート電極7(ワード線WL)あるいはゲート電極8とが短絡するようなことはない。

【0079】つまり、本実施の形態の製造方法によれば、接続孔50、51、52をレイアウトする際に接続孔50、51、52と局所配線L1、L2との合わせ余裕、および接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕を考慮する必要がない。これにより、これらの合わせ余裕に相当する分、接続孔50、51、52を局所配線L1、L2、ゲート電極7(ワード線WL)およびゲート電極8に近接させてレイアウトすることができるので、第1方向およびこれと直交する第2方向のいずれの方向においてもメモリセルの占有面積を縮小することができる。

【0080】層間絶縁膜49をエッチングする際にサイドウォールスペーサ48をエッチングストップとして機能させるためには、サイドウォールスペーサ48を構成する窒化シリコン膜53の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする必要がある。例えば接続孔50、51、52と局所配線L1、L2との合わせ余裕と、接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕の合計が200nm程度であれば、窒化シリコン膜53の膜厚を少なくとも200nm程度とする。

【0081】次に、接続孔50、51、52の底部の薄

23

い窒化シリコン膜13をエッチングで除去した後、図61および図62に示すように、層間絶縁膜49の上部に電源電圧線22、基準電圧線23および中間配線54を形成する。電源電圧線22、基準電圧線23および中間配線54は、層間絶縁膜49上にスパッタリング法でW膜、Al膜、W膜を順次堆積した後、これらの膜をパターニングして形成する。接続孔50、51、52の内部には、必要に応じてW膜などからなるプラグを形成してもよい。

【0082】次に、図63および図64に示すように、電源電圧線22、基準電圧線23および中間配線54の上部にCVD法で酸化シリコンからなる層間絶縁膜26を堆積し、フォトリソをマスクにしたドライエッチングで中間配線54の上部の層間絶縁膜26を開孔して接続孔55を形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。データ線DL、/DLは、層間絶縁膜26上にスパッタリング法でTiN膜、Al膜、TiN膜を順次堆積した後、これらをパターニングして形成する。

【0083】(実施の形態4) 本実施の形態のSRAMは、前記実施の形態3のSRAMと同様、一対の局所配線L₁、L₂を同一の導電層に形成している。このSRAMのメモリスルの製造方法を図65～図82を用いて説明する。

【0084】まず、図65および図66に示すように、半導体基板1の主面にp型ウエル3およびn型ウエル4を形成し、次いでそれらの表面に素子分離用のフィールド酸化膜28およびMISFETのゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}を形成し、n型ウエル4に負荷用MISFETQ_{p1}、Q_{p2}を形成する。転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)および駆動用MISFETQ_{d1}、Q_{d2}(負荷用MISFETQ_{p1}、Q_{p2})のゲート電極8、8は、多結晶シリコン膜で構成する。ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの上を覆う絶縁膜(キャップ絶縁膜)は窒化シリコン膜56で構成する。この窒化シリコン膜56は、後述する窒化シリコン膜13よりも厚い膜厚(30nm程度以上)で堆積する。ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの側壁のサイドウォールスペース11は、酸化シリコン膜を異方性エッチングして形成する。

【0085】次に、図67および図68に示すように、駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8の上部の窒化シリコン膜56をエッチングして接続孔57を形成し、駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8の上部の窒化シリコン膜56をエッチングして接続孔58を形成する。接続孔57は、後の工程で局所配線L₂と接続される領域に形成し、接続孔58は、後の工程で局

24

所配線L₁と接続される領域に形成する。

【0086】次に、図69および図70に示すように、接続孔57の底部に露出した駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8、接続孔58の底部に露出した駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8、転送用MISFETQ_{t1}、Q_{t2}のn型半導体領域5、5(ソース領域、ドレイン領域)、駆動用MISFETQ_{d1}、Q_{d2}のn型半導体領域5、5(ソース領域、ドレイン領域)、負荷用MISFETQ_{p1}、Q_{p2}のp型半導体領域9、9(ソース領域、ドレイン領域)のそれぞれの表面にTiシリサイド層10を形成する。

【0087】Tiシリサイド層10を形成するには、駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6と、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域、ドレイン領域)の表面を覆うゲート酸化膜6とをエッチングで除去した後、半導体基板1上にスパッタリング法でTi膜を堆積し、次いで半導体基板1をアニールしてTi膜と半導体基板1(n型半導体領域5、p型半導体領域9)、Ti膜と多結晶シリコン膜(接続孔57、58の底部に露出したゲート電極8)とをそれぞれ反応させた後、未反応のTi膜をエッチングで除去する。

【0088】次に、図71および図72に示すように、半導体基板1上にCVD法で膜厚30nm程度の薄い窒化シリコン膜13を堆積した後、フォトリソをマスクにして窒化シリコン膜13をドライエッチングすることにより、駆動用MISFETQ_{d1}のn型半導体領域5(ドレイン領域)と駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8とにまたがる接続孔43、負荷用MISFETQ_{p2}のp型半導体領域9(ドレイン領域)と駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8とにまたがる接続孔44をそれぞれ形成する。同時に、駆動用MISFETQ_{d2}のn型半導体領域5(ドレイン領域)の上部に接続孔45を形成し、負荷用MISFETQ_{p1}のp型半導体領域9(ドレイン領域)の上部に接続孔46を形成する。

【0089】駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8の上部にはあらかじめ接続孔58が形成されているので、接続孔43は、その一部がゲート電極8の上部で接続孔58と重なり合う。同様に、駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8の上部にはあらかじめ接続孔57が形成されているので、接続孔44は、その一部がゲート電極8の上部で接続孔57と重なり合う。

【0090】つまり、本実施の形態の製造方法によれば、接続孔43、44、45、46をレイアウトする際

25

に、これらの接続孔43~46とゲート電極8との合わせ余裕および接続孔43~46と接続孔57、58との合わせ余裕を考慮する必要がない。これにより、これらの合わせ余裕に相当する分、接続孔43~46をゲート電極8に接近させてレイアウトすることができるので、第1方向におけるメモリセルの占有面積を縮小することができる。

【0091】すなわち、窒化シリコン膜13をエッチングして接続孔43、44、45、46を形成する際に、これらの接続孔43~46がゲート電極8と重なり合った場合でも、ゲート電極8の上部に窒化シリコン膜13よりも厚い膜厚の窒化シリコン膜56が形成されているので、接続孔43、44、45、46がゲート電極8に達することはない。また、窒化シリコン膜と酸化シリコン膜とはエッチング速度に大きな差があるので、窒化シリコン膜13をエッチングして接続孔43、44、45、46を形成する際に、ゲート電極7（ワード線WL）およびゲート電極8のそれぞれの側壁の酸化シリコン膜からなるサイドウォールスペーサ11は、ほとんどエッチングされない。

【0092】従って、接続孔43、44、45、46を形成する際に、これらの接続孔43~46がゲート電極8と重なり合った場合でも、後の工程で接続孔43~46の内部に堆積される導電膜とゲート電極8とが短絡するようなことはない。

【0093】次に、図73および図74に示すように、窒化シリコン膜13上にスパッタリング法またはCVD法で膜厚100nm程度のTiN膜を堆積し、次いでこのTiN膜上にCVD法で膜厚100nm程度の窒化シリコン膜47を堆積した後、フォトリソをマスクにしたドライエッチングで窒化シリコン膜47およびTiN膜をパターニングすることにより、TiN膜からなる一対の局所配線L₁、L₂を形成する。

【0094】局所配線L₁は、接続孔43および接続孔58を通じて駆動用MISFETQ_{d2}（負荷用MISFETQ_{p2}）のゲート電極8に接続され、接続孔43を通じて駆動用MISFETQ_{d1}のn型半導体領域5（ドレイン領域）に接続され、接続孔46を通じて負荷用MISFETQ_{p1}のp型半導体領域9（ドレイン領域）に接続される。また、局所配線L₂は、接続孔44および接続孔57を通じて駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8に接続され、接続孔44を通じて負荷用MISFETQ_{p2}のp型半導体領域9（ドレイン領域）に接続され、接続孔45を通じて駆動用MISFETQ_{d2}のn型半導体領域5（ドレイン領域）に接続される。

【0095】局所配線L₁は、駆動用MISFETQ_{d1}（負荷用MISFETQ_{p1}）のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）とに重なるように配置し、局所配線L₂は、駆

26

動用MISFETQ_{d2}（負荷用MISFETQ_{p2}）のゲート電極8と、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7（ワード線WL）とに重なるように配置する。この構成により、局所配線L₁とゲート電極8との間に介在する窒化シリコン膜13とで容量素子C'が形成され、また局所配線L₂とゲート電極8との間に介在する窒化シリコン膜13とで容量素子C'が形成されるので、蓄積ノードの電荷蓄積量を増やしてメモリセルのα線ソフトエラー耐性を向上させることができる。

10 【0096】次に、図75に示すように、局所配線L₁、L₂を覆う窒化シリコン膜47の上部にCVD法で窒化シリコン膜59を堆積し、続いて窒化シリコン膜59の上部にCVD法でPSGからなる層間絶縁膜49を堆積する。

【0097】次に、図76および図77に示すように、フォトリソをマスクにしたドライエッチングで負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9（ソース領域）の上部の層間絶縁膜49を開孔して接続孔50、50を形成する。同時に、駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5（ソース領域）の上部の層間絶縁膜49を開孔して接続孔51、51を形成し、転送用MISFETQ_{t1}、Q_{t2}のそれぞれのn型半導体領域5、5（ドレイン領域）の上部の層間絶縁膜49を開孔して接続孔52、52を形成する。このエッチングは、接続孔50、51、52の底部に窒化シリコン膜59が露出した時点で一旦停止する。

【0098】次に、酸化シリコン用のエッチングガスを窒化シリコン用のエッチングガスに切り替え、図78に示すように、接続孔50、51、52の内部の窒化シリコン膜59とその下部の薄い窒化シリコン膜13とをエッチングする。このエッチングは、接続孔50、51、52の内部において、ゲート電極7（ワード線WL）、ゲート電極8および局所配線L₁、L₂のそれぞれの側壁にサイドウォールスペーサが形成されるような条件で行う。

【0099】このように、前記実施の形態3ではゲート電極7（ワード線WL）、ゲート電極8および局所配線L₁、L₂のそれぞれの側壁にあらかじめ窒化シリコンのサイドウォールスペーサ48を形成してから層間絶縁膜49に接続孔50、51、52を形成するのに対し、本実施の形態では層間絶縁膜49を開孔して接続孔50、51、52を形成する際に窒化シリコンのサイドウォールスペーサを形成する。

【0100】この場合も前記実施の形態3と同様、フォトリソマスクの合わせずれに起因して接続孔50、51、52とゲート電極7（ワード線WL）およびゲート電極8とが一部で重なり合ったり、接続孔50、51、52と局所配線L₁、L₂とが一部で重なり合ったりしても、接続孔50、51、52の側壁にゲート電極7

27

(ワード線WL)、ゲート電極8あるいは局所配線L₁、L₂が露出することはない。つまり、本実施の形態の製造方法を用いる場合にも、接続孔50、51、52をレイアウトする際に接続孔50、51、52と局所配線L₁、L₂との合わせ余裕、および接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕を考慮する必要がないので、これらの合わせ余裕に相当する分、接続孔50、51、52を局所配線L₁、L₂およびゲート電極7(ワード線WL)、ゲート電極8に近接させてレイアウトすることができ、メモリセルの占有面積を縮小することができる。

【0101】窒化シリコン膜59によって形成されるサイドウォールスペースをエッチングストップとして機能させるためには、窒化シリコン膜59の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする。

【0102】次に、図79および図80に示すように、前記実施の形態3の製造方法に従い層間絶縁膜49の上部に電源電圧線22、基準電圧線23および中間配線54を形成し、次いで図81および図82に示すように、電源電圧線22、基準電圧線23および中間配線54の上部に層間絶縁膜26を堆積し、フォトリソをマスクにしたドライエッチングで中間配線54の上部の層間絶縁膜26を開孔して接続孔55を形成した後、層間絶縁膜26の上部にデータ線DL、/DLを形成する。

【0103】本実施の形態の製造方法によれば、接続孔50、51、52と局所配線L₁、L₂との合わせ余裕、および接続孔50、51、52とゲート電極7(ワード線WL)、ゲート電極8との合わせ余裕が不要になると共に、接続孔43、44とゲート電極8との合わせ余裕、および接続孔43とn型半導体領域5(接続孔44とp型半導体領域9)との合わせ余裕も不要となるので、前記実施の形態3よりもさらにメモリセルを縮小することができる。

【0104】(実施の形態5) 本実施の形態のSRAMは、一対の局所配線L₁、L₂を異なる導電層に形成し、上層の局所配線L₂と下層の局所配線L₁とそれらの間に介在する薄い絶縁膜とで容量素子Cを形成している。このSRAMのメモリセルの製造方法を図83～図97を用いて説明する。

【0105】まず、図83および図84に示すように、前記実施の形態1の製造方法に従い、半導体基板1の主面に素子分離溝2、次いでp型ウエル3およびn型ウエル4を形成し、さらにp型ウエル3およびn型ウエル4のそれぞれの表面にMISFETのゲート酸化膜6を形成した後、p型ウエル3に駆動用MISFETQ_{d1}、Q_{d2}および転送用MISFETQ_{t1}、Q_{t2}を形成し、n型ウエル4に負荷用MISFETQ_{p1}、Q_{p2}を形成する。ゲート電極7(ワード線WL)およびゲート電極8は多結晶シリコン膜で構成し、キャップ絶縁膜は酸化

28

シリコン膜12で構成する。ゲート電極7(ワード線WL)およびゲート電極8のそれぞれの側壁のサイドウォールスペース11は、酸化シリコン膜をエッチングして形成する。

【0106】次に、図85および図86に示すように、前記実施の形態3の製造方法に従い、転送用MISFETQ_{t1}、Q_{t2}のゲート電極7(ワード線WL)、駆動用MISFETQ_{d1}、Q_{d2}(負荷用MISFETQ_{p1}、Q_{p2})のゲート電極8、8、転送用MISFETQ_{t1}、Q_{t2}および駆動用MISFETQ_{d1}、Q_{d2}のそれぞれのn型半導体領域5、5(ソース領域、ドレイン領域)、負荷用MISFETQ_{p1}、Q_{p2}のそれぞれのp型半導体領域9、9(ソース領域、ドレイン領域)のそれぞれの表面にシート抵抗を低減する目的でTiシリサイド層10を形成する。

【0107】次に、図87および図88に示すように、半導体基板1上にCVD法で堆積した膜厚50nm程度の薄い窒化シリコン膜13をエッチングして駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8の上部に接続孔14を形成し、駆動用MISFETQ_{d1}のn型半導体領域5(ドレイン領域)の上部に接続孔40を形成し、負荷用MISFETQ_{p1}のp型半導体領域9(ドレイン領域)の上部に接続孔41を形成した後、窒化シリコン膜13の上部にスパッタリング法またはCVD法で堆積した膜厚100nm程度のTiN膜をパターニングして局所配線L₁を形成する。局所配線L₁は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成する。局所配線L₁は、接続孔14を通じて駆動用MISFETQ_{d2}(負荷用MISFETQ_{p2})のゲート電極8と接続され、接続孔40を通じて駆動用MISFETQ_{d1}のn型半導体領域5(ドレイン領域)と接続され、接続孔41を通じて負荷用MISFETQ_{p1}のp型半導体領域9(ドレイン領域)に接続される。

【0108】次に、図89および図90に示すように、半導体基板1上にCVD法で堆積した膜厚30nm程度の薄い窒化シリコン膜42をエッチングして駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8の上部に接続孔18を形成し、駆動用MISFETQ_{d2}のn型半導体領域5(ドレイン領域)の上部に接続孔19を形成し、負荷用MISFETQ_{p2}のp型半導体領域9(ドレイン領域)の上部に接続孔20を形成した後、窒化シリコン膜42の上部にTiN膜からなる局所配線L₂を形成する。局所配線L₂は、接続孔18を通じて駆動用MISFETQ_{d1}(負荷用MISFETQ_{p1})のゲート電極8と接続され、接続孔19を通じて駆動用MISFETQ_{d2}のn型半導体領域5(ドレイン領域)と接続され、接続孔20を通じて負荷用MISFETQ_{p2}のp型半導体領域9(ドレイン領域)に接続される。

【0109】局所配線 L_2 は、窒化シリコン膜42の上部にスパッタリング法またはCVD法で膜厚100nm程度のTiN膜を堆積し、次いでこのTiN膜上にCVD法で膜厚100nm程度の窒化シリコン膜47を堆積した後、フォトリソをマスクにしたドライエッチングで窒化シリコン膜47およびTiN膜をパターニングして形成する。局所配線 L_2 は、メモリセルを構成する6個のMISFETを覆うように広い面積で形成し、接続孔18、19、20の開孔領域とその合わせ余裕領域とを除いた領域において下層の局所配線 L_1 とほぼ完全に重なるようにする。これにより、局所配線 L_1, L_2 （一对の電極）とそれらの間に介在する、局所配線 L_1, L_2 よりも薄い膜厚の窒化シリコン膜42（誘電体膜）とで容量素子Cを形成し、しかもこの容量素子Cの電荷を大きくすることができるので、蓄積ノードの電荷蓄積量を増やしてメモリセルの α 線ソフトエラー耐性を向上させることができる。

【0110】次に、図91に示すように、ゲート電極8、下層の局所配線 L_1 および上層の局所配線 L_2 のそれぞれの側壁にサイドウォールスペーサ48を形成する。また、同図には示さないゲート電極7（ワード線WL）の側壁にもサイドウォールスペーサ48を形成する。サイドウォールスペーサ48は、窒化シリコン膜47の上部にCVD法で堆積した膜厚200nm程度の窒化シリコン膜をエッチングして形成する。

【0111】次に、図92および図93に示すように、窒化シリコン膜47の上部に膜厚400nm程度のPSGからなる層間絶縁膜49をCVD法で堆積した後、フォトリソをマスクにしたドライエッチングで層間絶縁膜49を開孔することにより、負荷用MISFET Q_{p1}, Q_{p2} のp型半導体領域9、9（ソース領域）の上部に接続孔50、50を形成し、駆動用MISFET Q_{d1}, Q_{d2} のn型半導体領域5、5（ソース領域）の上部に接続孔51、51を形成し、転送用MISFET Q_{t1}, Q_{t2} のn型半導体領域5、5（ドレイン領域）の上部に接続孔52、52を形成する。このとき、窒化シリコン膜からなるサイドウォールスペーサ48がエッチングストップとなるため、接続孔50、51の側壁にゲート電極8が露出したり、接続孔52の側壁にゲート電極7（ワード線WL）が露出したりすることはない。また、接続孔50、51、52の側壁に下層の局所配線 L_1 が露出したり、上層の局所配線 L_2 が露出したりすることもない。

【0112】つまり、一对の局所配線 L_1, L_2 を異なる導電層に配置するSRAMに対して本実施の形態の製造方法を用いる場合には、接続孔50、51、52と上層の局所配線 L_2 との合わせ余裕、接続孔50、51、52と下層の局所配線 L_1 との合わせ余裕、および接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕を考慮する必要がない。これ

により、これらの合わせ余裕に相当する分、接続孔50、51、52を上層の局所配線 L_2 、下層の局所配線 L_1 およびゲート電極7（ワード線WL）、ゲート電極8に近接させてレイアウトすることができるので、メモリセルの占有面積を縮小することができる。層間絶縁膜49をエッチングする際にサイドウォールスペーサ48をエッチングストップとして機能させるためには、サイドウォールスペーサ48を構成する窒化シリコン膜の膜厚を、上記したフォトリソマスクの合わせ余裕よりも大きくする。

【0113】本実施の形態ではゲート電極7（ワード線WL）、ゲート電極8、下層の局所配線 L_1 、上層の局所配線 L_2 のそれぞれの側壁にあらかじめ窒化シリコンのサイドウォールスペーサ48を形成した後、層間絶縁膜49に接続孔50、51、52を形成するが、前記実施の形態4のように、上層の局所配線 L_2 を覆う窒化シリコン膜47の上部に窒化シリコン膜と層間絶縁膜49とを堆積し、層間絶縁膜49を開孔して接続孔50、51、52を形成する際にサイドウォールスペーサを形成するようにしてもよい。

【0114】次に、図94および図95に示すように、前記実施の形態3の製造方法に従い層間絶縁膜49の上部に電源電圧線22、基準電圧線23および中間配線54を形成した後、図96および図97に示すように、電源電圧線22、基準電圧線23および中間配線54の上部に層間絶縁膜26を堆積し、次いで中間配線54の上部の層間絶縁膜26を開孔して接続孔55を形成した後、層間絶縁膜26の上部にデータ線DL、 $\bar{D}L$ を形成する。

【0115】本実施の形態によれば、一对の局所配線 L_1, L_2 を異なる導電層に形成し、局所配線 L_1, L_2 同士を重なり合うように配置することによりメモリセルの占有面積を縮小することができ、かつ接続孔50、51、52と上層の局所配線 L_2 との合わせ余裕、接続孔50、51、52と下層の局所配線 L_1 との合わせ余裕、および接続孔50、51、52とゲート電極7（ワード線WL）、ゲート電極8との合わせ余裕を不要とすることにより、メモリセルの占有面積をさらに縮小することができる。

【0116】本実施の形態によれば、上層の局所配線 L_2 と下層の局所配線 L_1 とを広い面積で重なり合うように配置し、これらの局所配線 L_1, L_2 とその間に介在する薄い絶縁膜とで容量素子Cを構成することにより、メモリセルの α 線ソフトエラー耐性を向上させることができる。

【0117】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0118】局所配線を構成する金属材料は、前記実施の形態で例示したもの以外にも種々採用することが可能であり、例えば下層の局所配線を第1層目のアルミニウム系金属(TiN/Al/TiN)で構成し、上層の局所配線を第2層目のアルミニウム系金属で構成してもよい。この場合、例えば電源電圧線および基準電圧線は第3層目のアルミニウム系金属で構成し、相補性データ線は第4層目のアルミニウム系金属で構成する。

【0119】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0120】本発明のSRAMによれば、メモリセルのフリップフロップ回路の入出力端子間を交差結合する一対の局所配線を異なる導電層に形成することにより、一対の局所配線を同一層の導電膜で形成する場合には必要となる2本の局所配線を横に並べて配置するスペースが不要となり、局所配線同士を部分的に重なり合うように配置することが可能となるので、メモリセルの占有面積を縮小することが可能となる。

【0121】本発明のSRAMによれば、上層の局所配線を下層の局所配線と重なり合うように配置し、これらの局所配線とこれらの間に介在する絶縁膜とで容量素子を構成することにより、メモリセルの蓄積ノード容量を増やすことができるので、メモリセルサイズの微細化や動作電源電圧の低下に伴う α 線ソフトエラー耐性の低下を防ぐことができる。

【0122】本発明のSRAMによれば、メモリセルを構成する駆動用MISFET、負荷用MISFETおよび転送用MISFETのそれぞれのソース、ドレイン領域の表面に低抵抗材料である高融点金属シリサイド層を形成したことにより、メモリセルの高速動作を実現することができる。

【0123】本発明のSRAMによれば、駆動用MISFETおよび転送用MISFETが形成される半導体基板(p型ウェル)の活性領域と、負荷用MISFETが形成される半導体基板(n型ウェル)の活性領域とを半導体基板に開孔した溝で分離したことにより、LOCOS法で形成したフィールド絶縁膜で分離する場合に比べて素子分離領域の占有面積を小さくでき、メモリセルの占有面積を縮小することができる。

【0124】本発明のSRAMの製造方法によれば、フォトリソをマスクにして層間絶縁膜に接続孔を形成する際のマスク合わせ余裕を不要とすることができるので、メモリセルの占有面積を縮小することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるSRAMのメモリセル(約1個分)を示す平面図である。

【図2】図1のA-A'線に沿ったメモリセルの断面図

である。

【図3】図1のB-B'線に沿ったメモリセルの断面図である。

【図4】本発明の実施の形態1であるSRAMのメモリセル(約4個分)を示す平面図である。

【図5】本発明の実施の形態1であるSRAMのメモリセルの等価回路図である。

【図6】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

10 【図7】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図8】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図9】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図10】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図11】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

20 【図12】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図13】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図14】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図15】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図16】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

30 【図17】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図18】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図19】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図20】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図21】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

40 【図22】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図23】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図24】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

【図25】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す平面図である。

【図26】本発明の実施の形態1であるSRAMのメモリセルの製造方法を示す断面図である。

50 【図27】本発明の実施の形態1であるSRAMのメモ

35

リセルの製造方法を示す断面図である。

【図78】本発明の実施の形態4であるSRAMのメモリセルの製造方法を示す断面図である。

【図79】本発明の実施の形態4であるSRAMのメモリセルの製造方法を示す平面図である。

【図80】本発明の実施の形態4であるSRAMのメモリセルの製造方法を示す断面図である。

【図81】本発明の実施の形態4であるSRAMのメモリセルの製造方法を示す平面図である。

【図82】本発明の実施の形態4であるSRAMのメモリセルの製造方法を示す断面図である。

【図83】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図84】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図85】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図86】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図87】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図88】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図89】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図90】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図91】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図92】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図93】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図94】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図95】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【図96】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す平面図である。

【図97】本発明の実施の形態5であるSRAMのメモリセルの製造方法を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離溝
- 3 p型ウエル
- 4 n型ウエル
- 5 n型半導体領域（ソース領域、ドレイン領域）
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 ゲート電極

36

9 p型半導体領域（ソース領域、ドレイン領域）

10 Tiシリサイド層

11 サイドウォールスペーサ

12 酸化シリコン膜

13 窒化シリコン膜

14 接続孔

15 接続孔

16 接続孔

17 層間絶縁膜

18 接続孔

19 接続孔

20 接続孔

21 層間絶縁膜

22 電源電圧線

23 基準電圧線

24 接続孔

25 接続孔

26 層間絶縁膜

27 接続孔

28 フィールド酸化膜

29 プラグ

30 溝

31 酸化シリコン膜

32 窒化シリコン膜

33 n型多結晶シリコン膜

34 Wシリサイド膜

35 Ti膜

36 酸化シリコン膜

37 プラグ

40 接続孔

41 接続孔

42 窒化シリコン膜

43 接続孔

44 接続孔

45 接続孔

46 接続孔

47 窒化シリコン膜

48 サイドウォールスペーサ

49 層間絶縁膜

50 接続孔

51 接続孔

52 接続孔

53 窒化シリコン膜

54 中間配線

55 接続孔

56 窒化シリコン膜

57 接続孔

58 接続孔

59 窒化シリコン膜

50 AR 活性領域

37

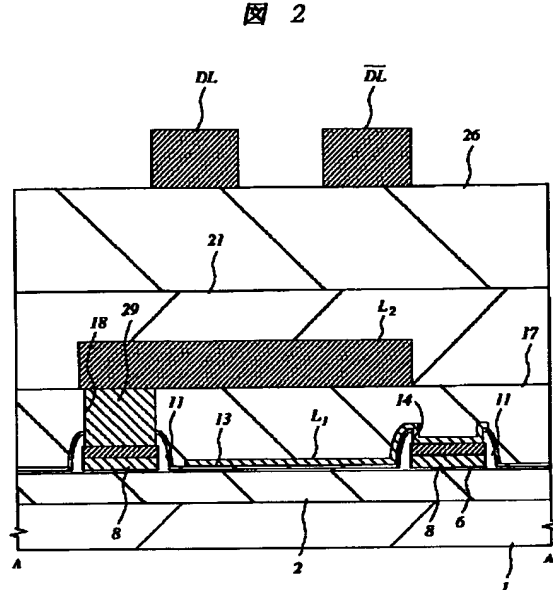
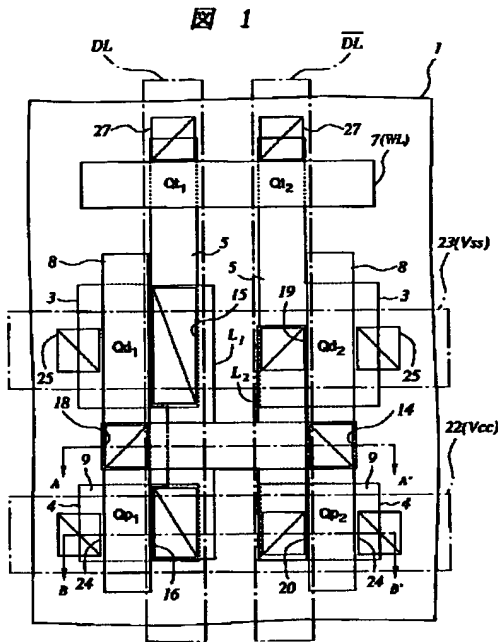
38

C 容量素子
C' 容量素子
DL, /DL データ線
L₁, L₂ 局所配線

Qd₁, Qd₂ 駆動用MISFET
Qp₁, Qp₂ 負荷用MISFET
Qt₁, Qt₂ 転送用MISFET
WL ワード線

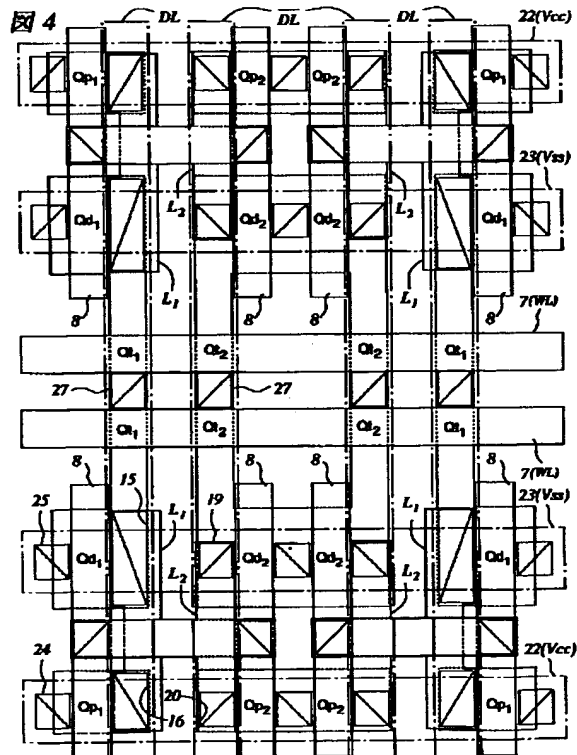
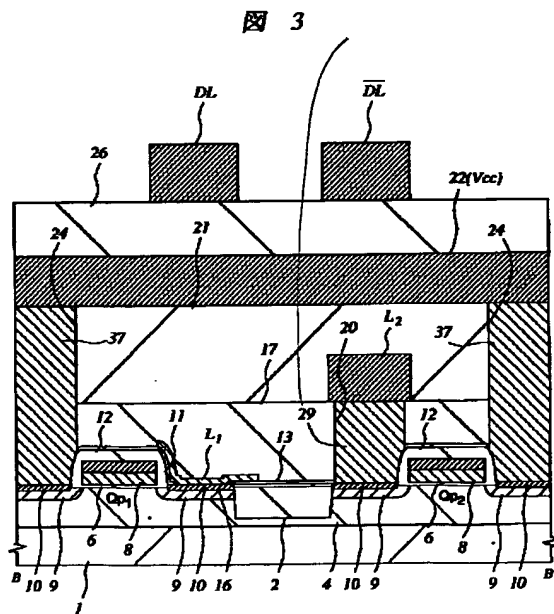
【図1】

【図2】



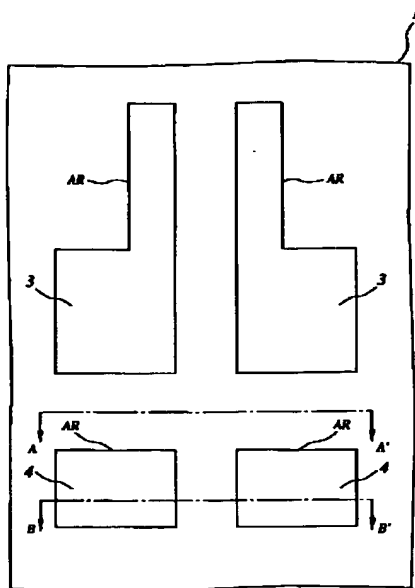
【図3】

【図4】



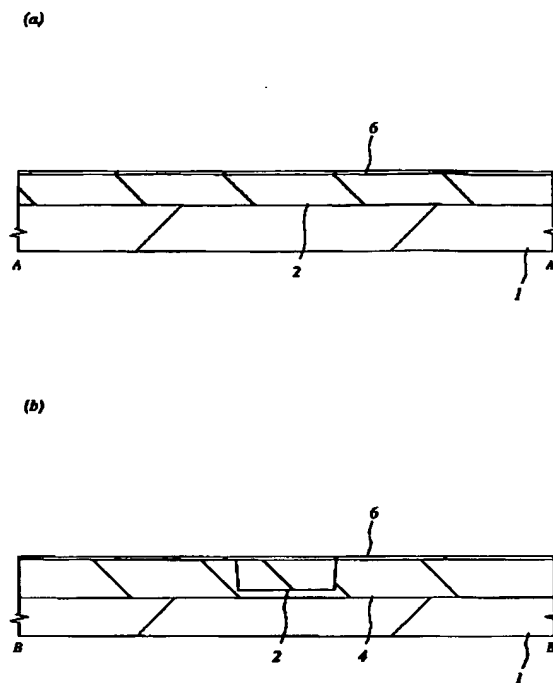
【図9】

図 9



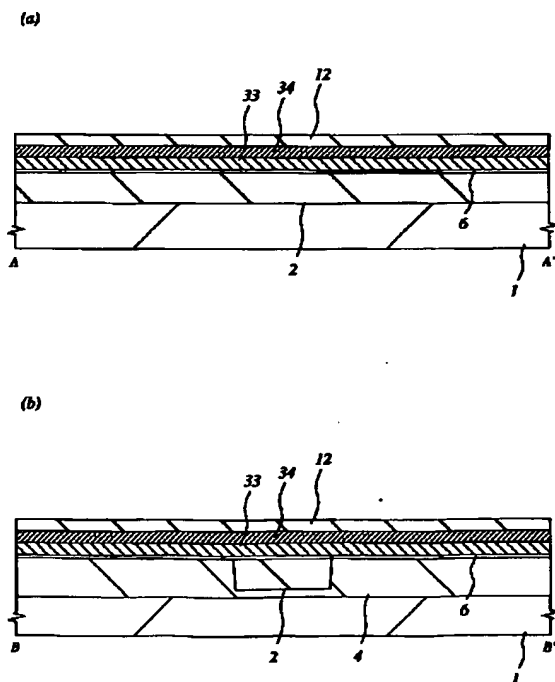
【図10】

図 10



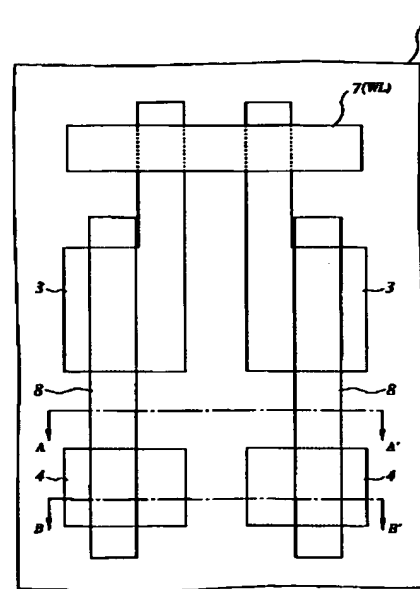
【図11】

図 11



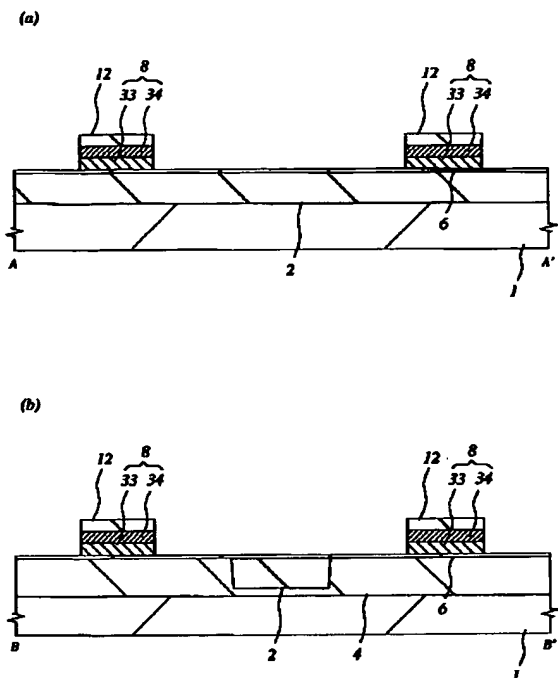
【図12】

図 12



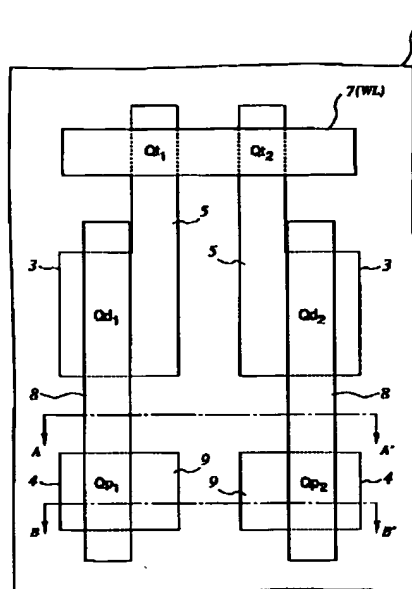
【図13】

図 13



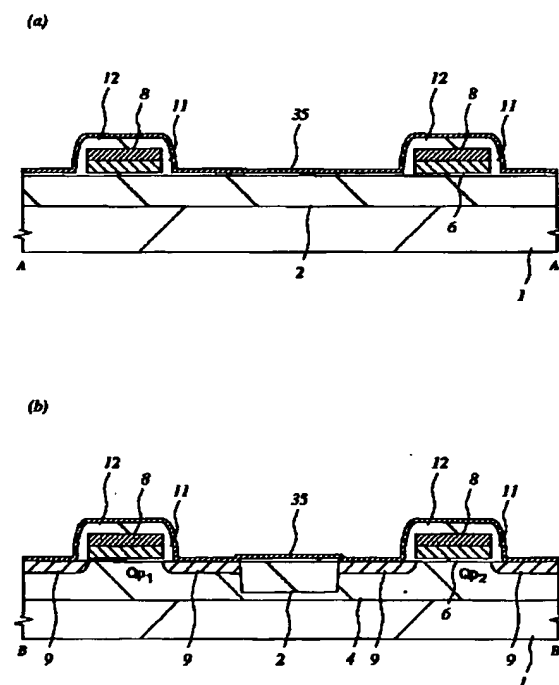
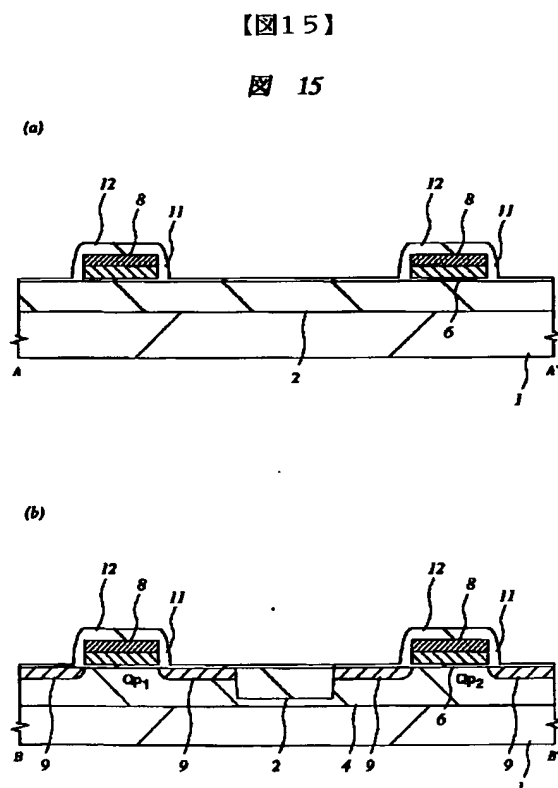
【図14】

図 14



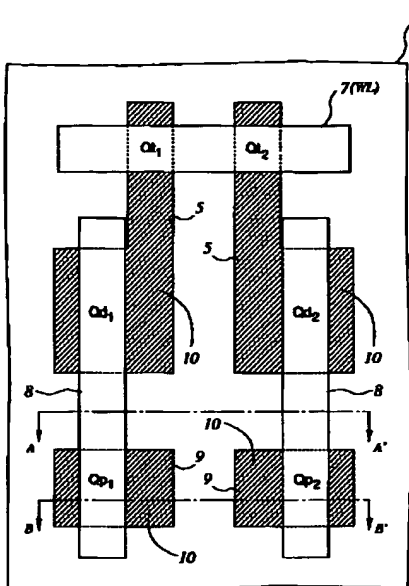
【図16】

図 16



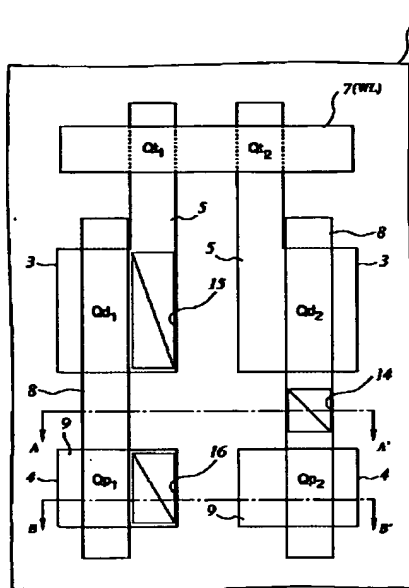
【図17】

図 17



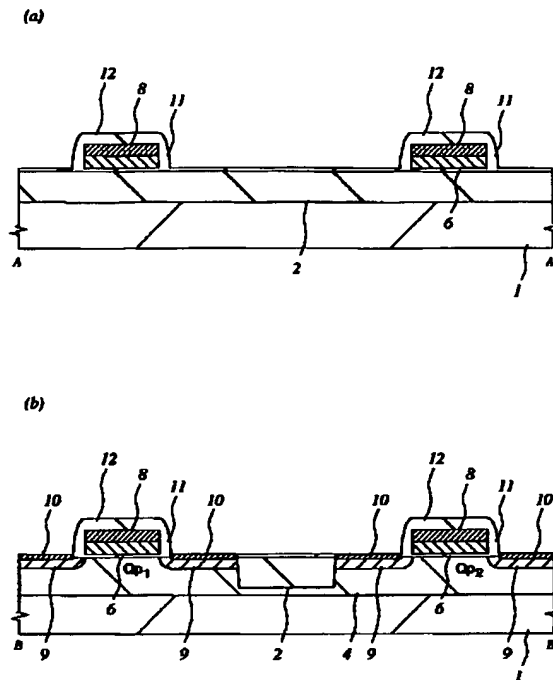
【図19】

図 19



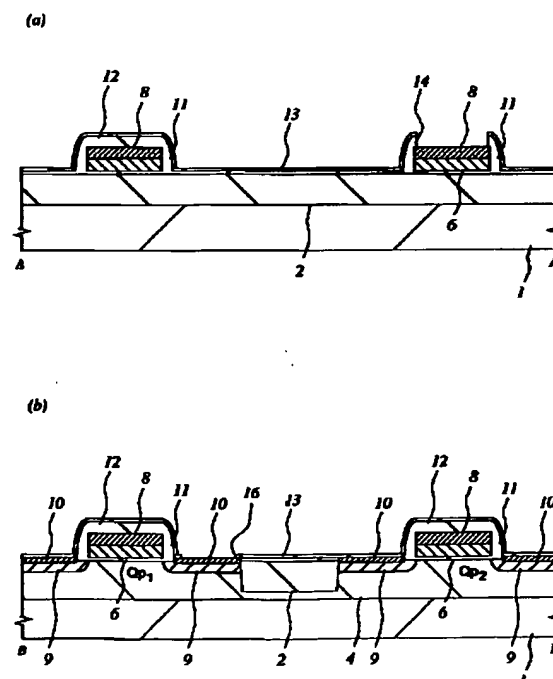
【図18】

図 18



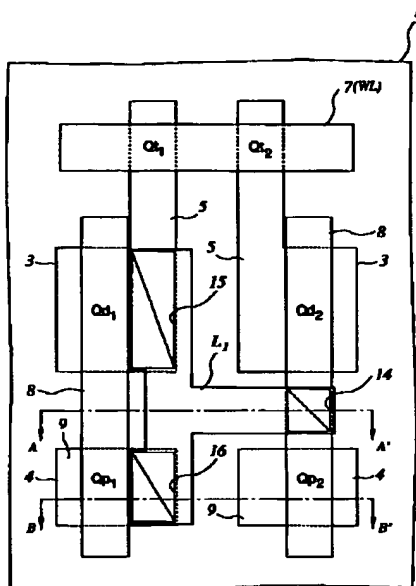
【図20】

図 20



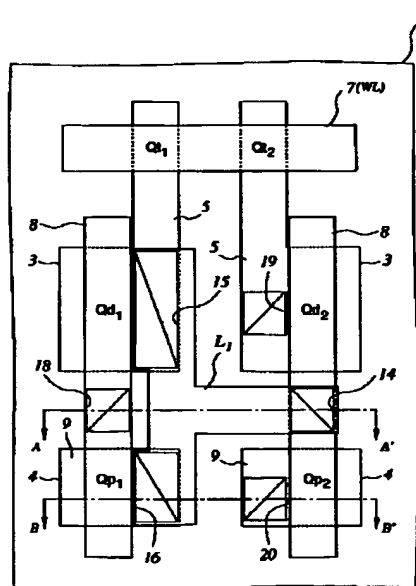
【図21】

図 21



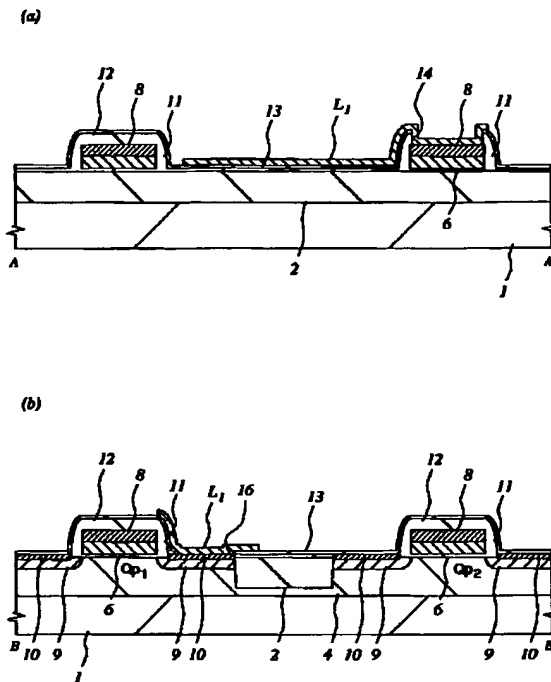
【図23】

図 23



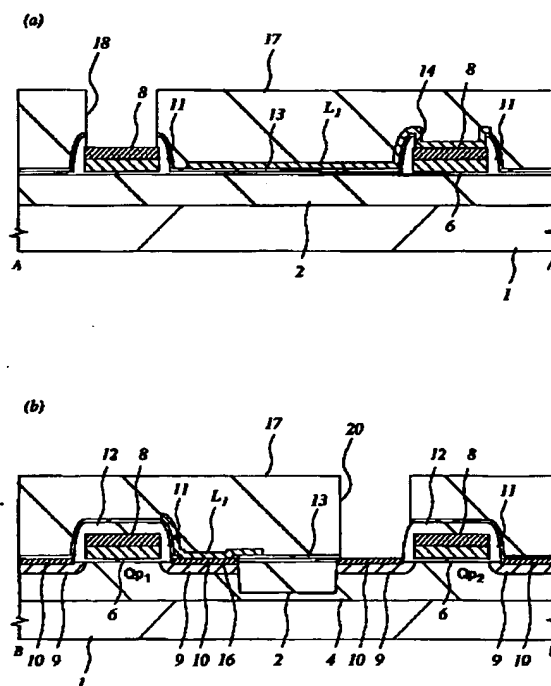
【図22】

図 22



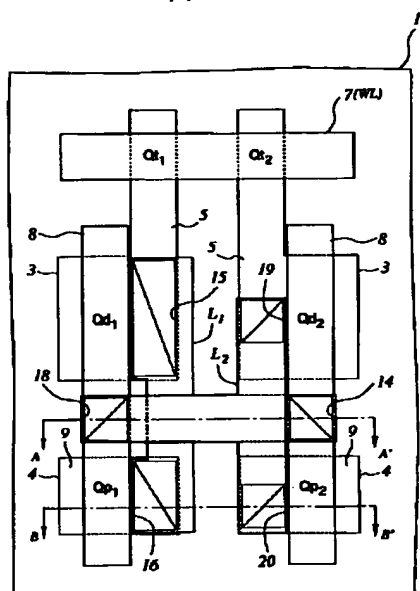
【図24】

図 24



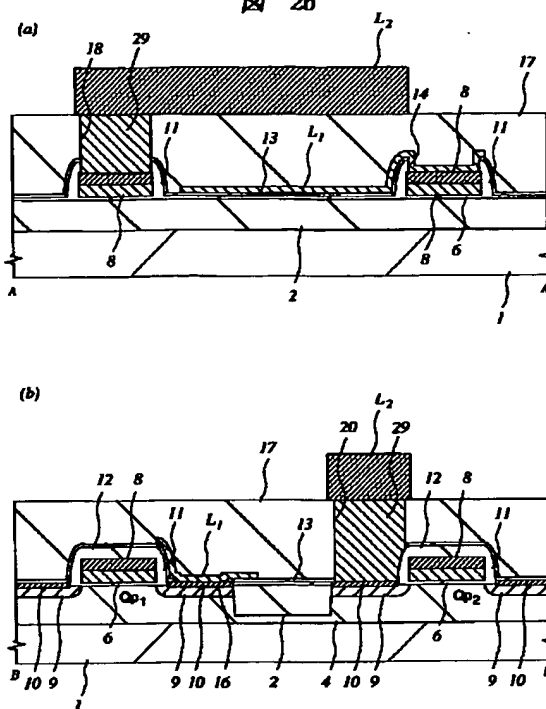
【图25】

25



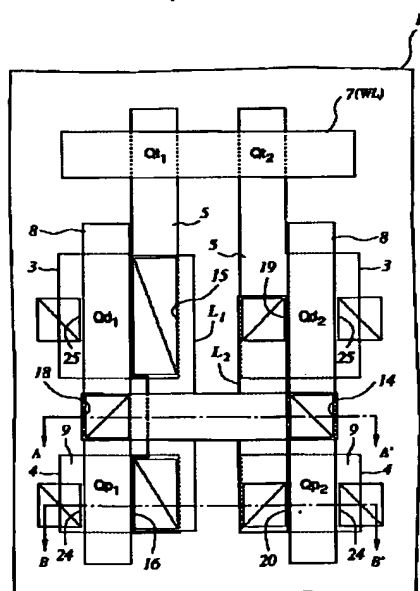
【图26】

26



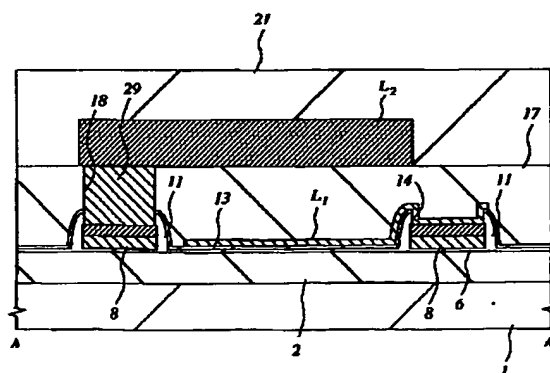
【图27】

27



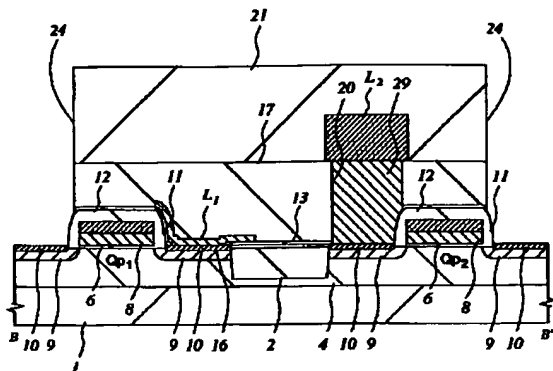
【図28】

28



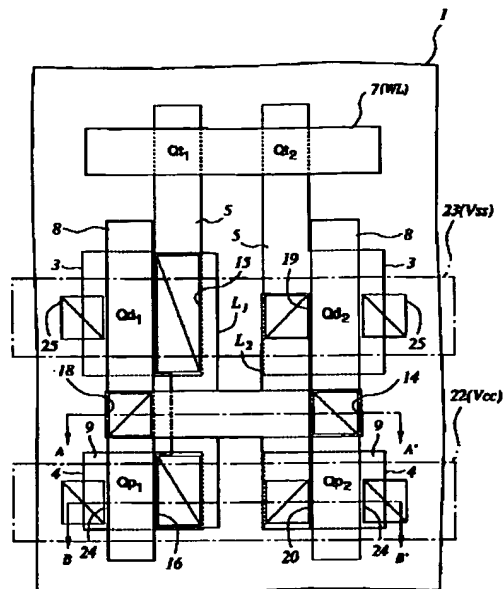
【図29】

図 29



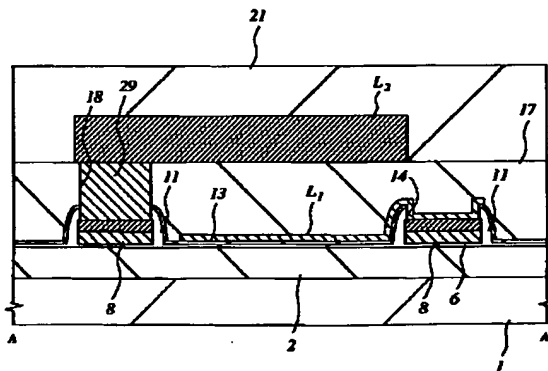
【図30】

図 30



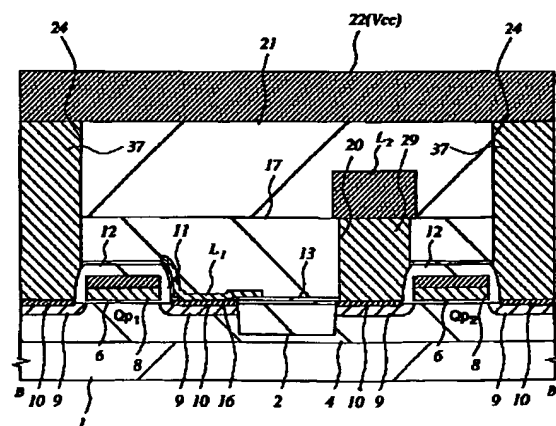
【図31】

図 31



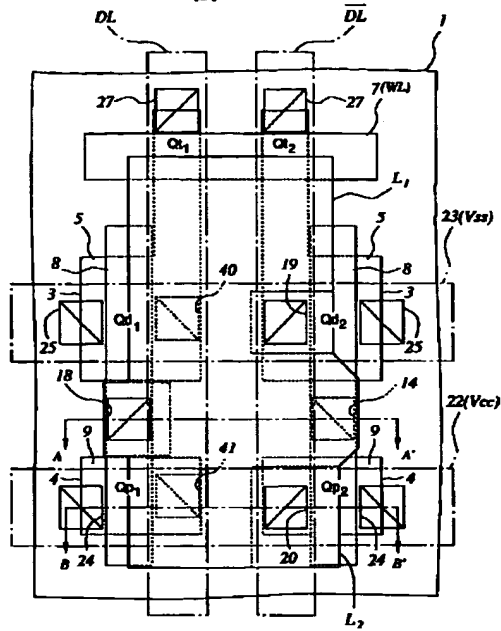
【図32】

図 32



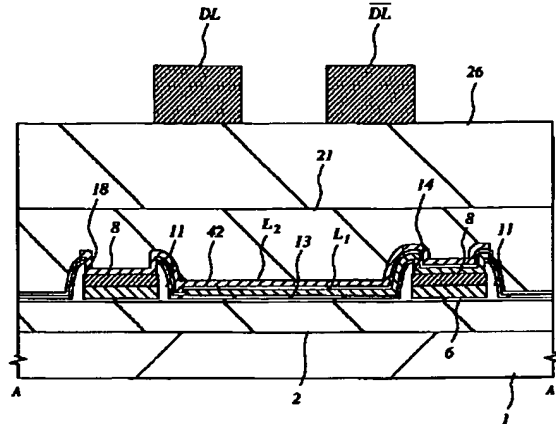
【図33】

図 33



【図34】

図 34

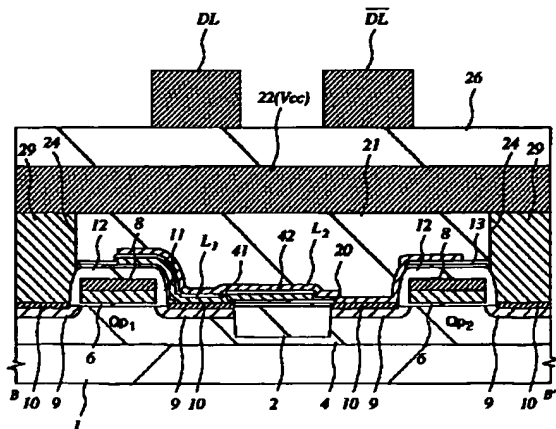


【図36】

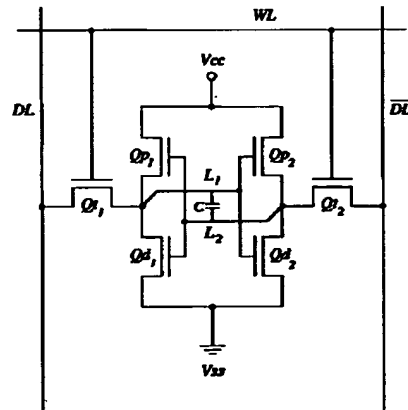
図 36

【図35】

図 35



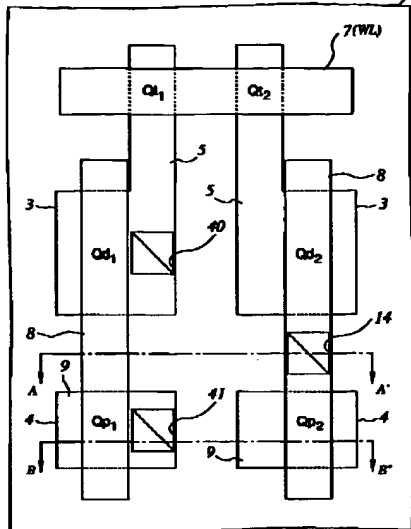
L_1, L_2 : 局所配線
42: 窒化シリコン膜



claims 1-10
12-13

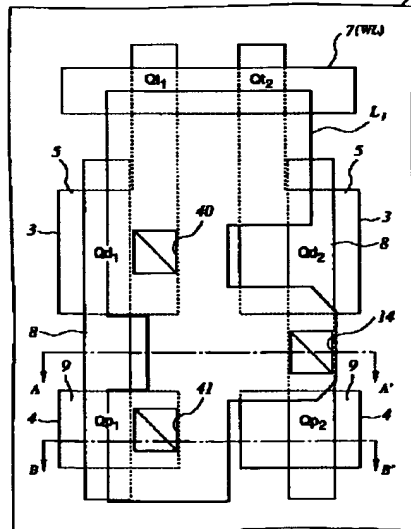
【图37】

37



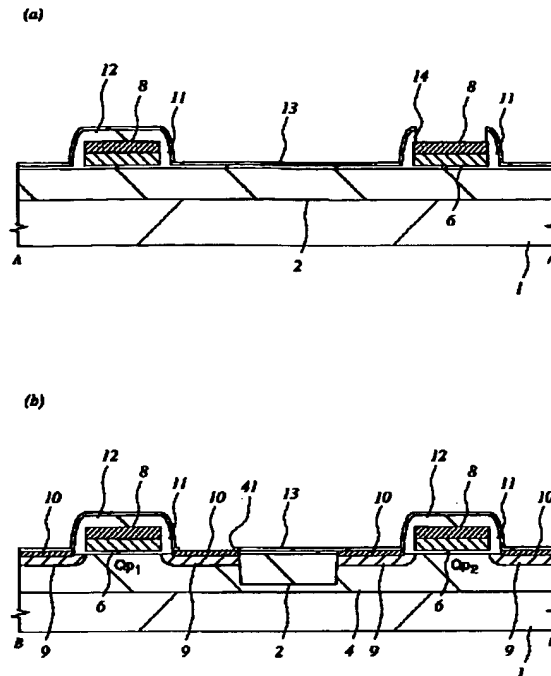
【图39】

39



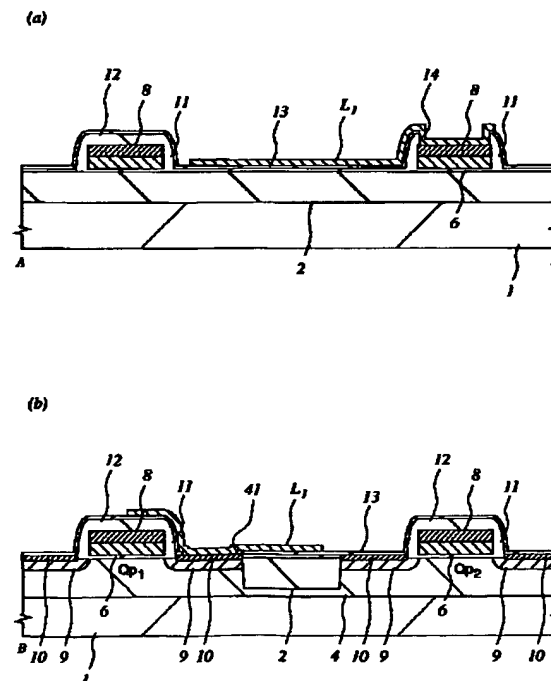
【例38】

38



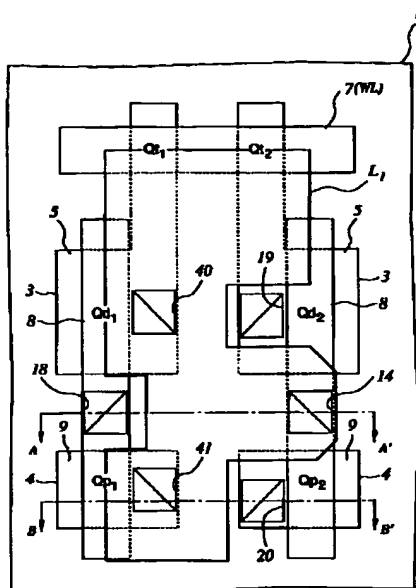
【図40】

40



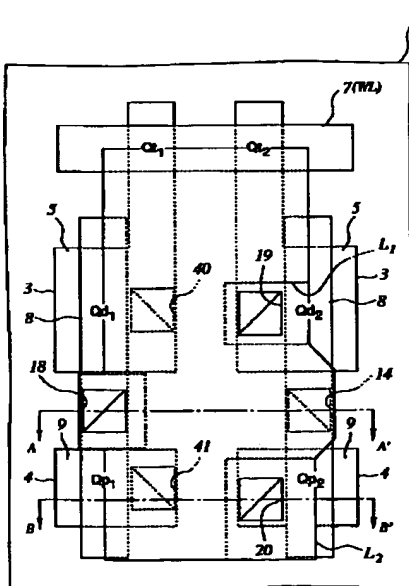
【図41】

図 41



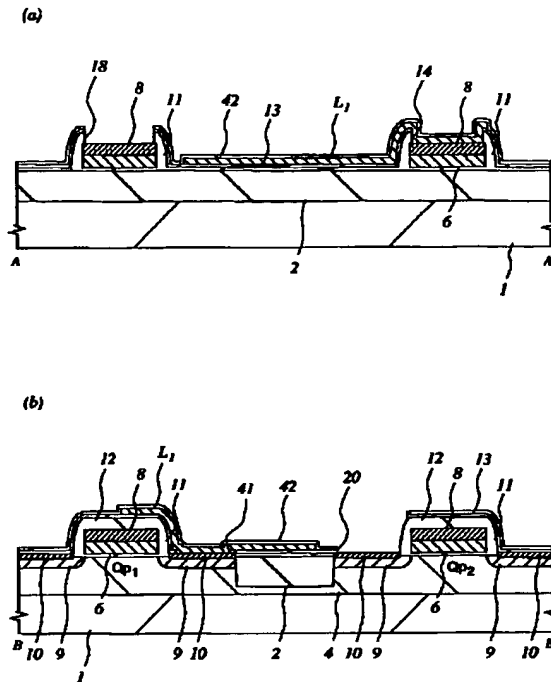
【図43】

図 43



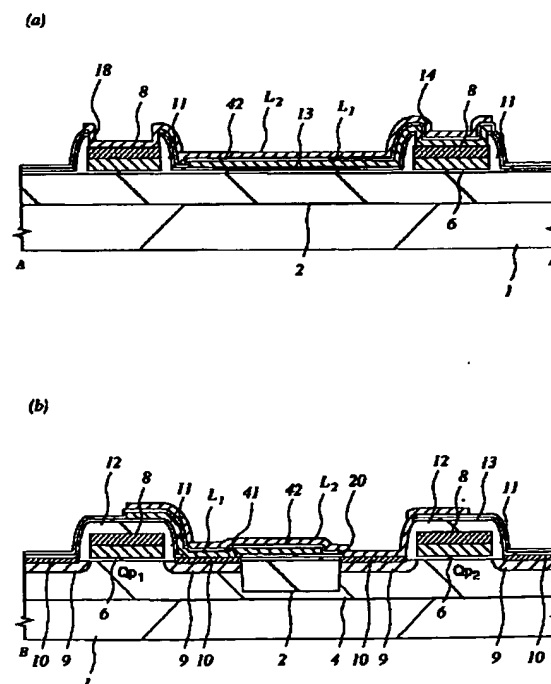
【図42】

図 42



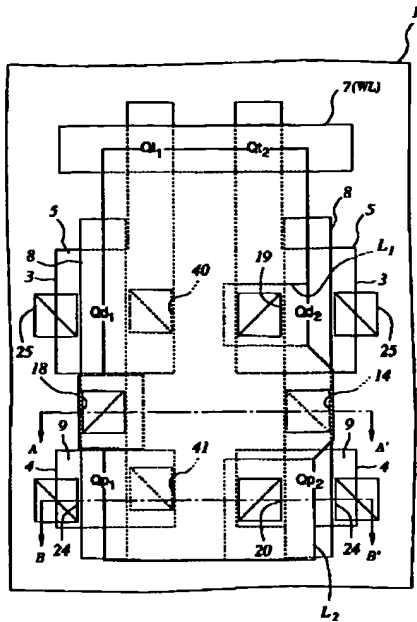
【図44】

図 44



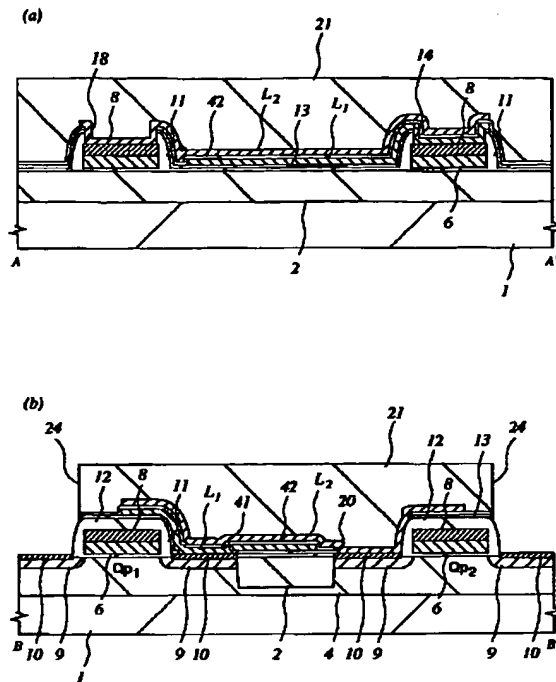
【図45】

図 45



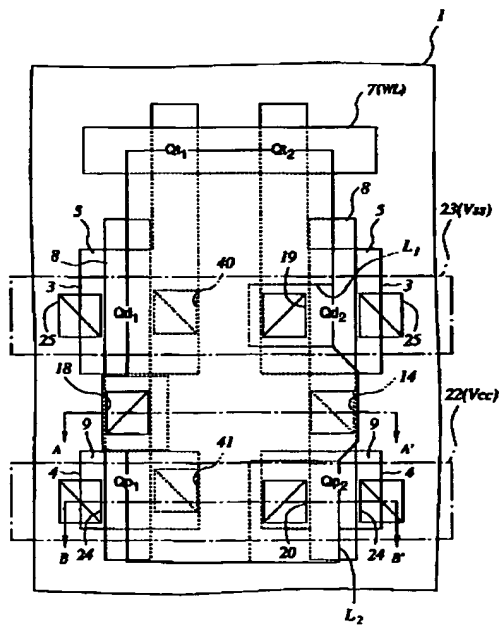
【図46】

図 46



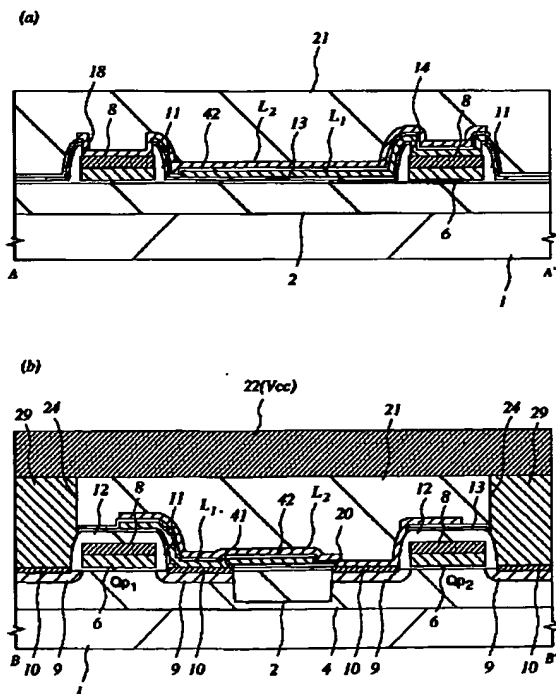
【図47】

図 47



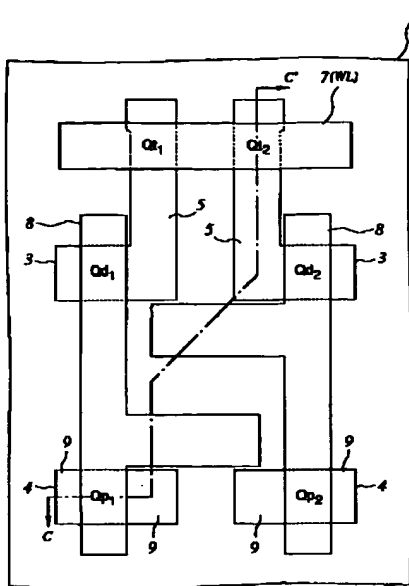
【図48】

図 48



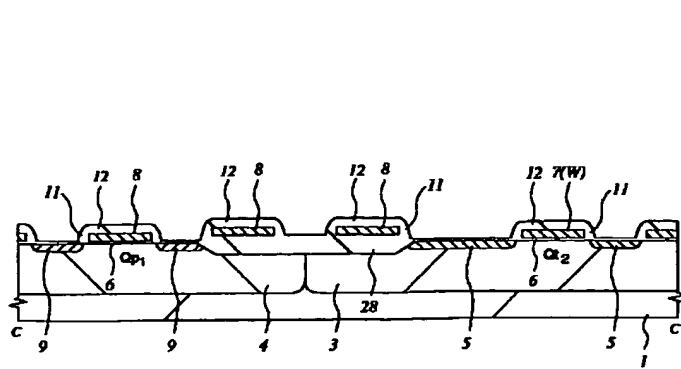
【図49】

図 49



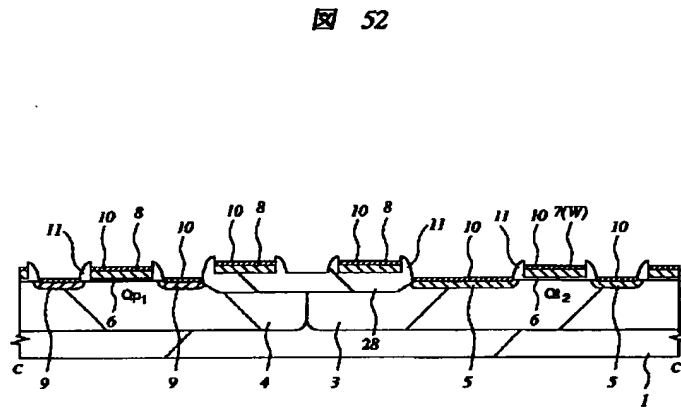
【図50】

図 50



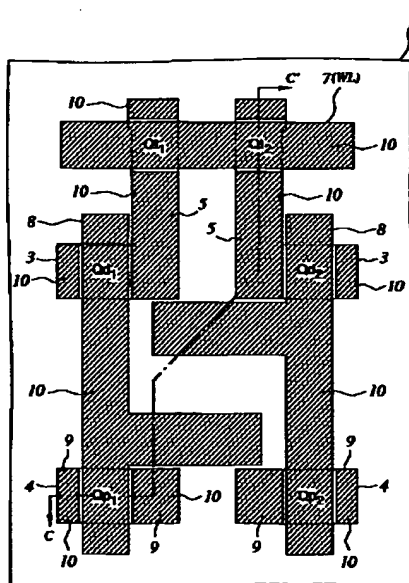
【図52】

図 52



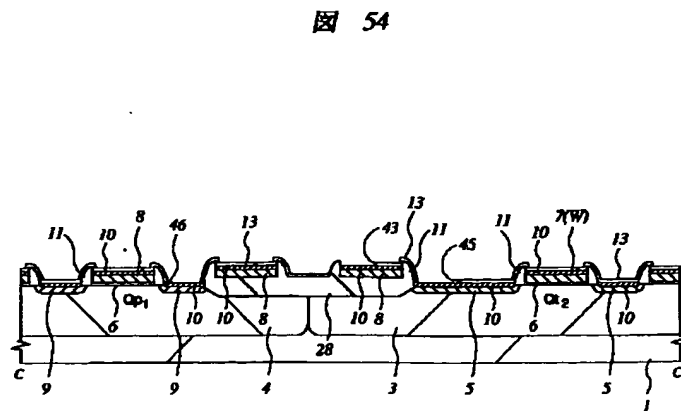
【図51】

図 51



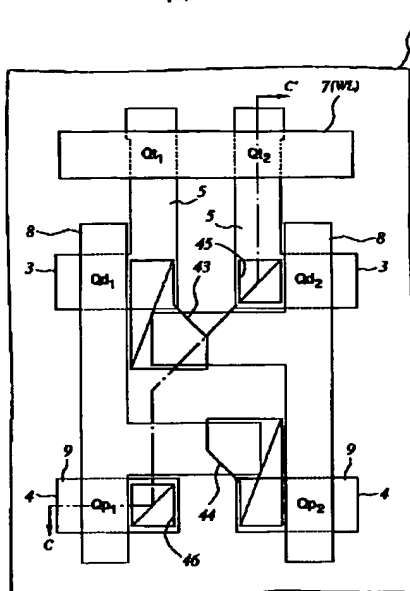
【図54】

図 54



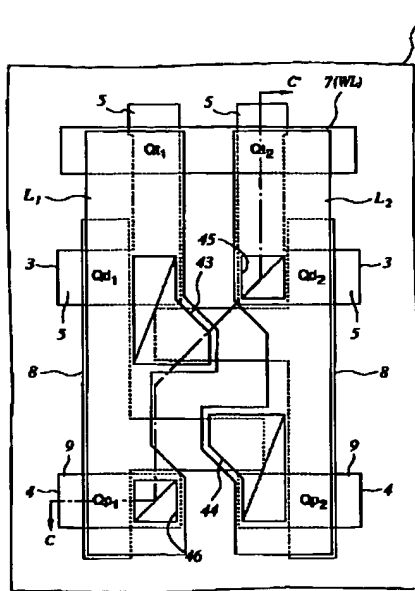
【图53】

53



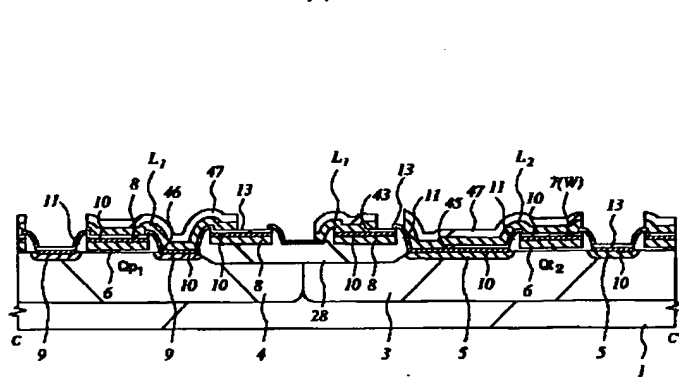
【图55】

55



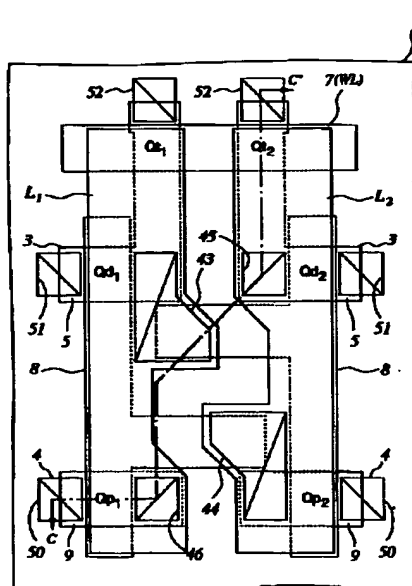
【图56】

56



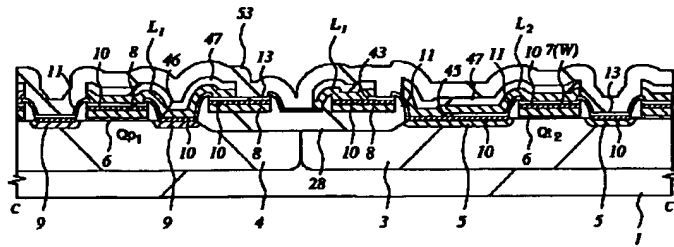
【図59】

59



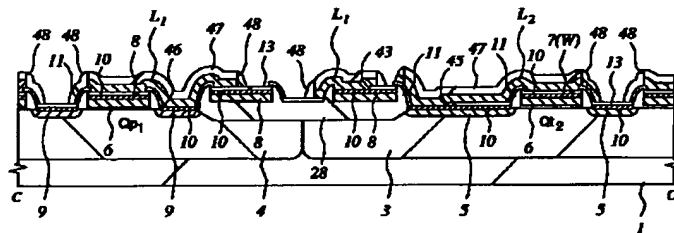
【図57】

図 57



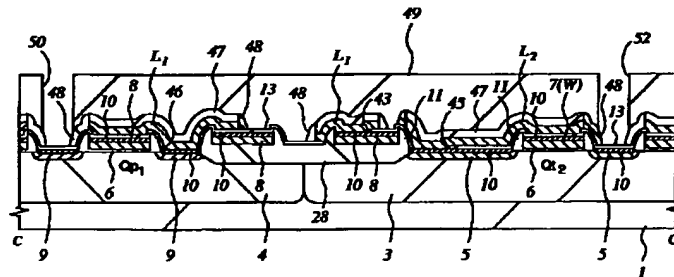
【図58】

図 58



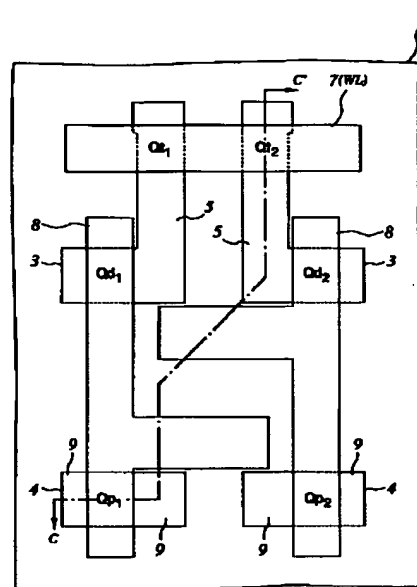
【図60】

図 60



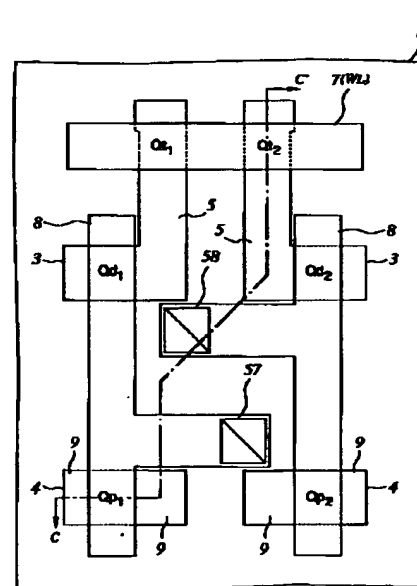
【図65】

図 65



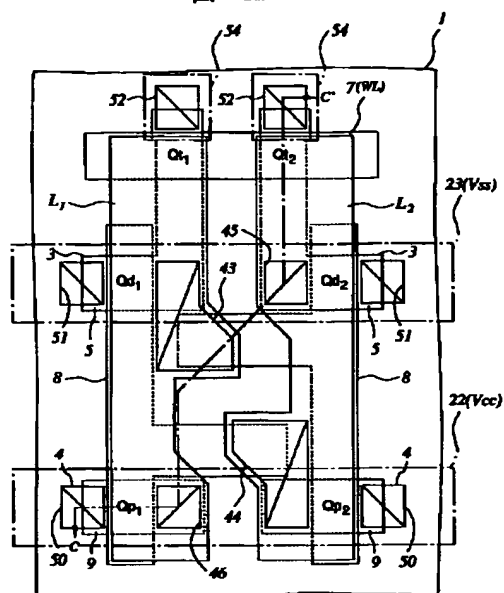
【図67】

図 67



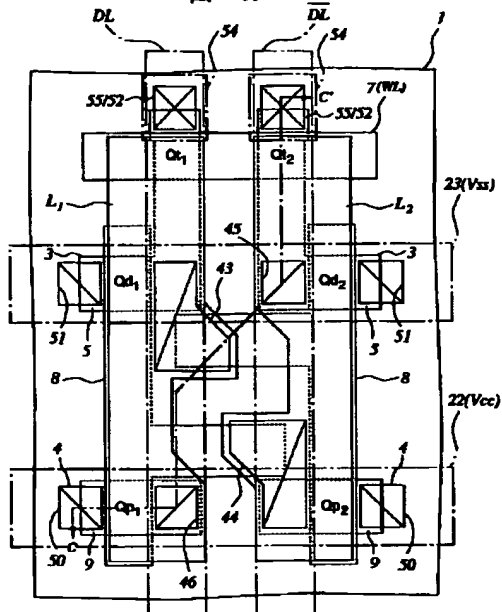
【図61】

図 61



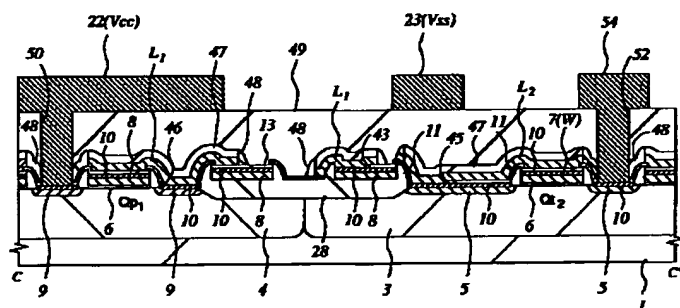
【図63】

図 63



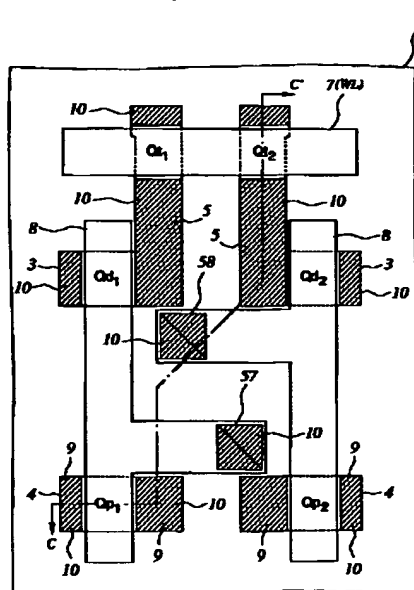
【図62】

図 62



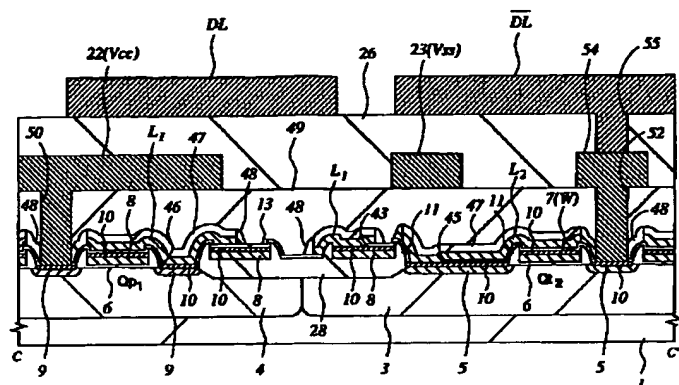
【図69】

図 69



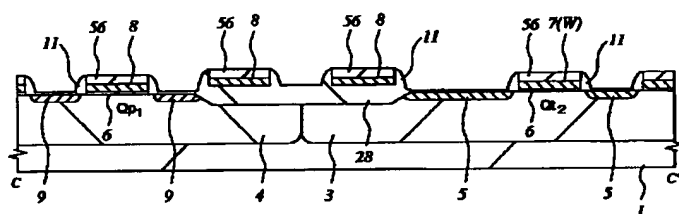
【图64】

64



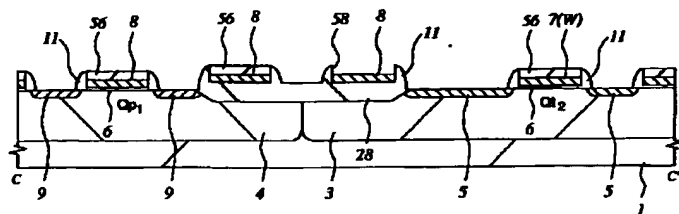
【图66】

66



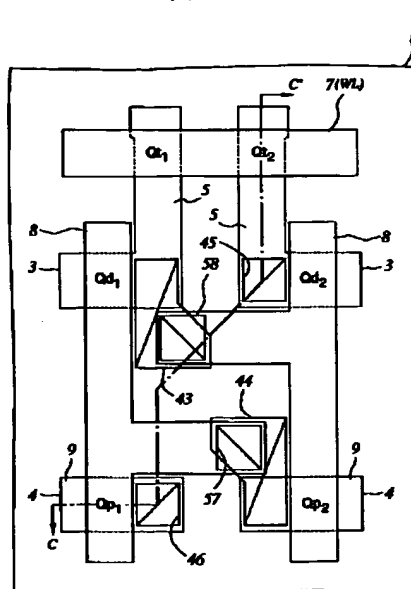
【图68】

图 68



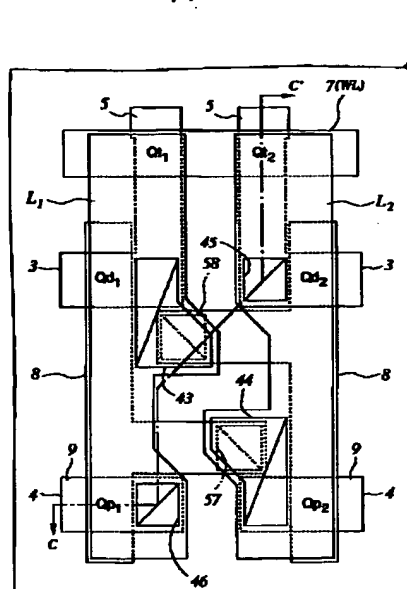
【图7 1】

71



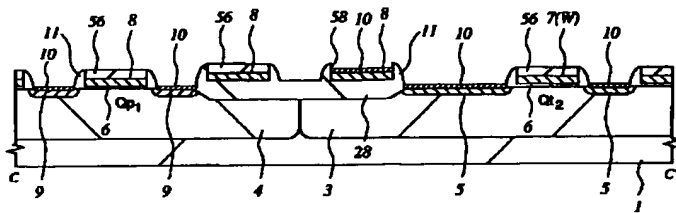
【图73】

73



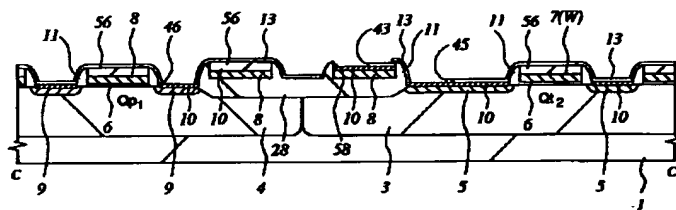
【図70】

図 70



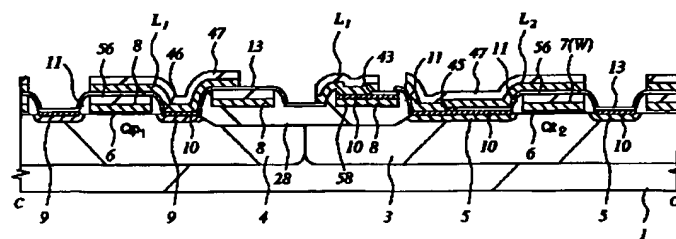
【図72】

図 72



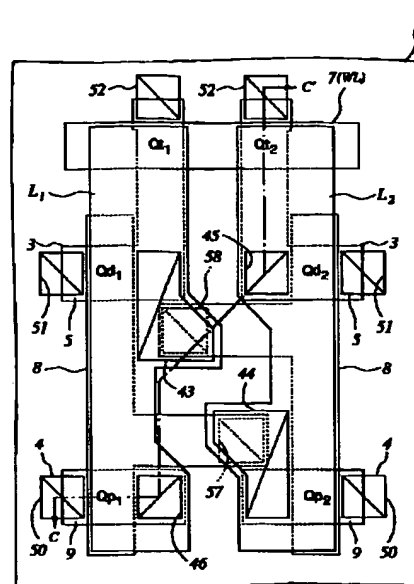
【図74】

図 74



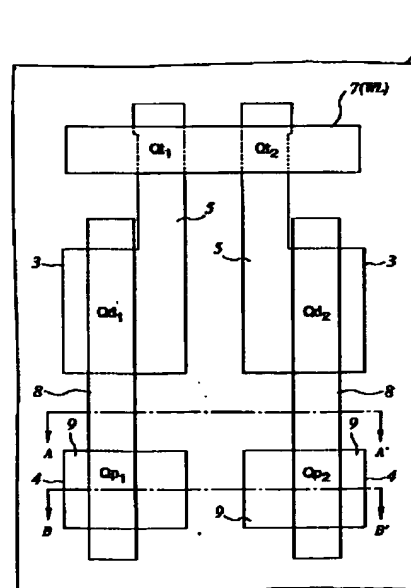
【図76】

図 76



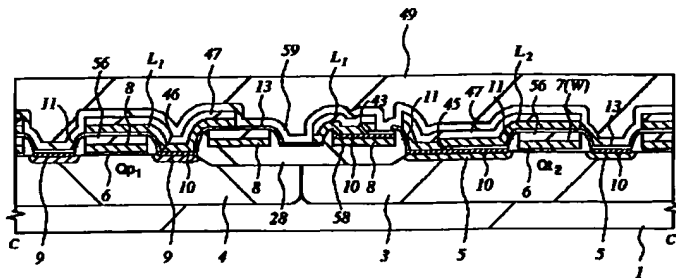
【図83】

図 83



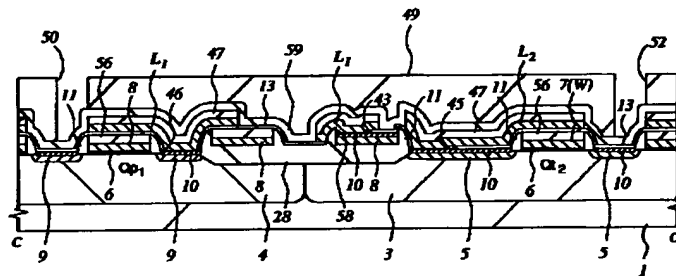
【図75】

図 75



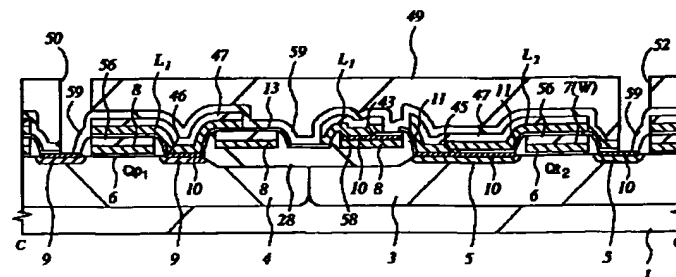
【図77】

図 77



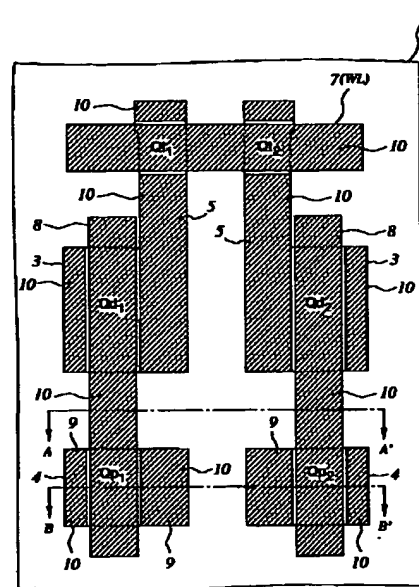
【図78】

図 78



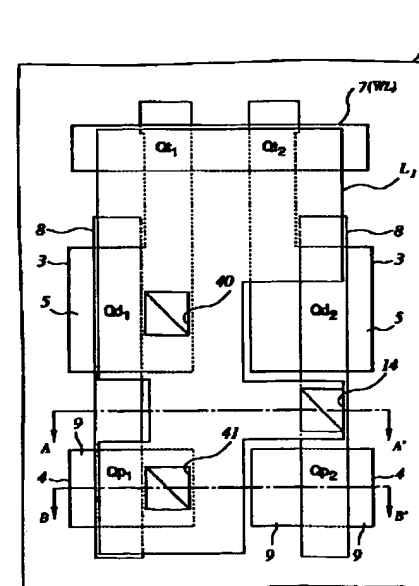
【図85】

図 85



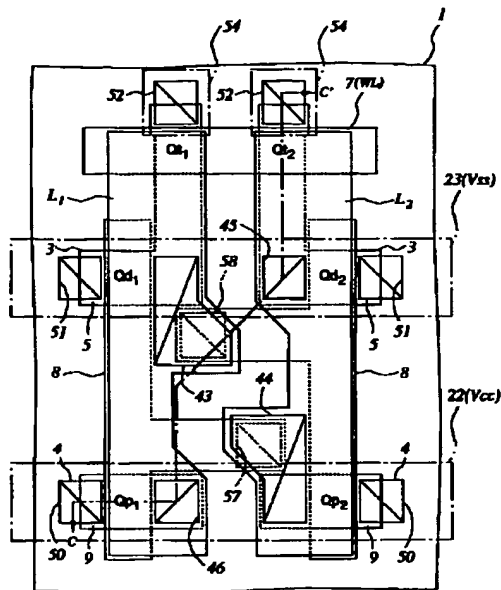
【図87】

図 87



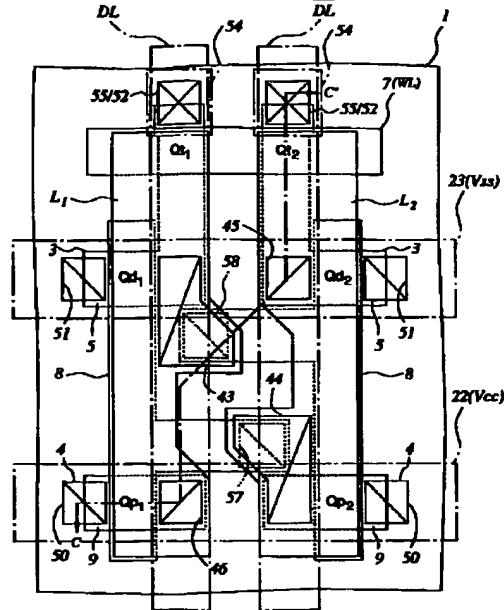
【**☒79**】

79



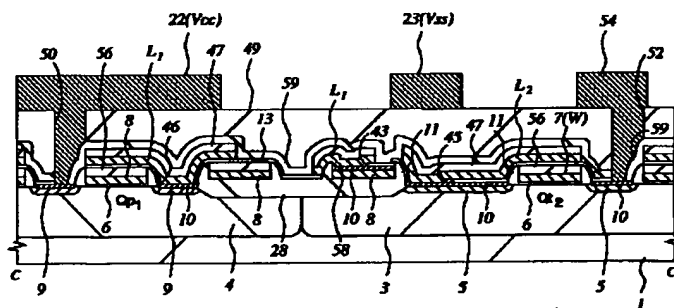
【例81】

81



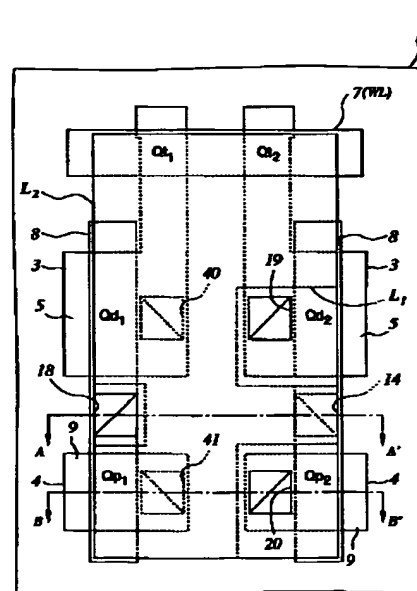
【図80】

80



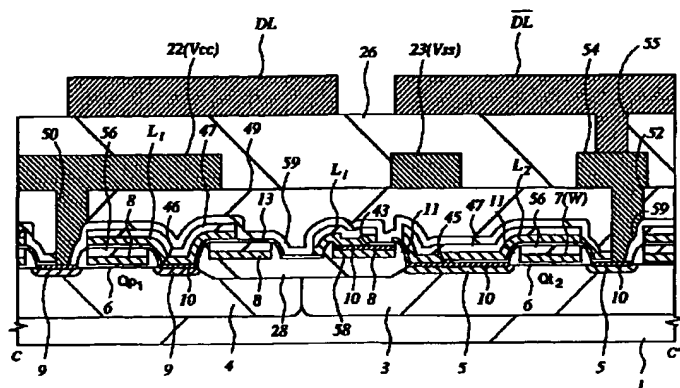
【図89】

89



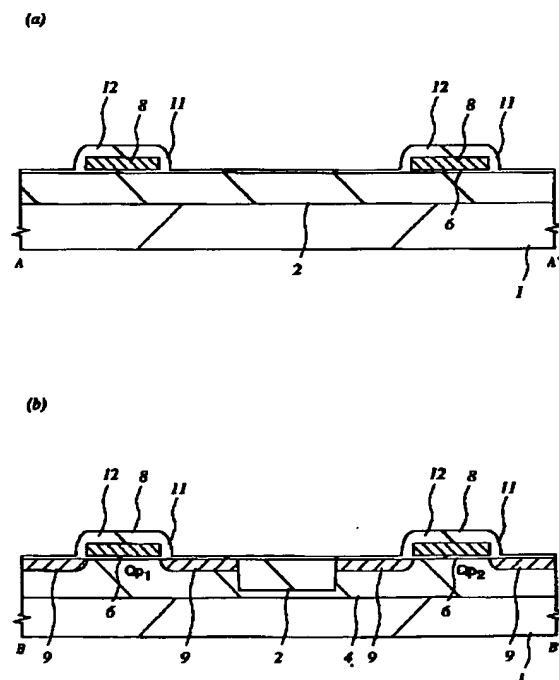
【图82】

82



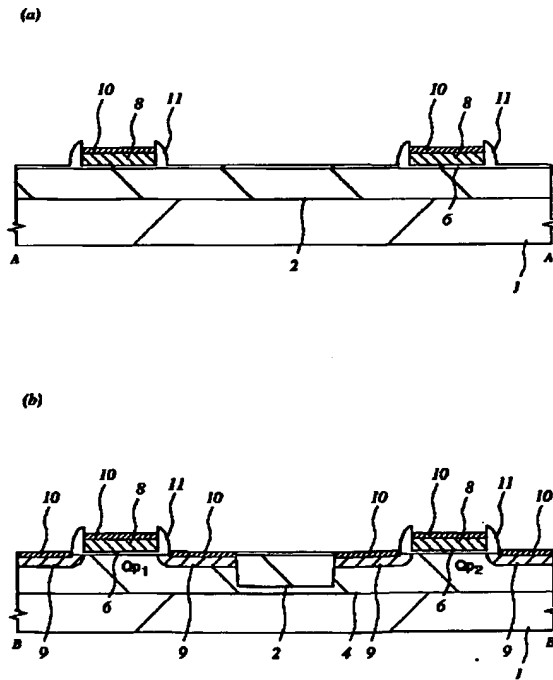
【图84】

84



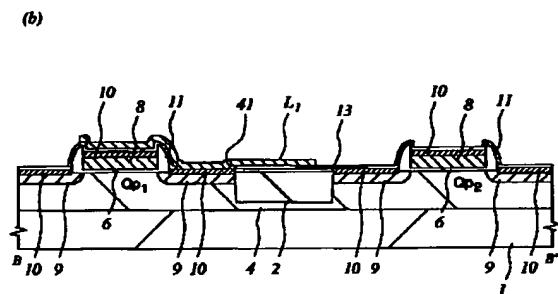
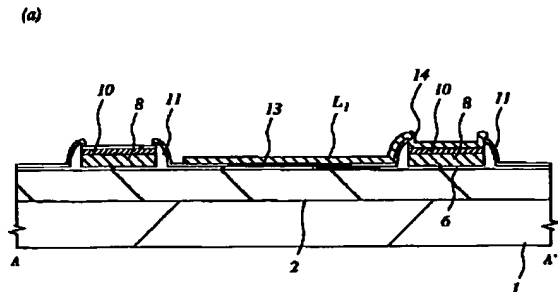
【例86】

86



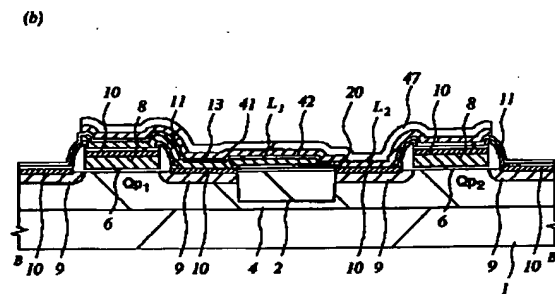
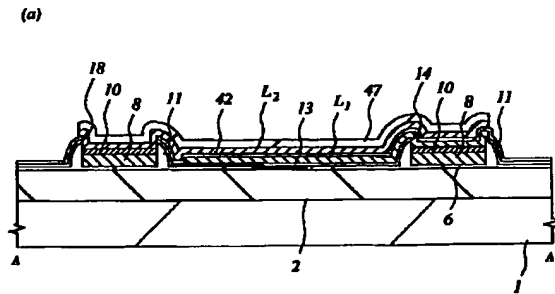
【図88】

図 88



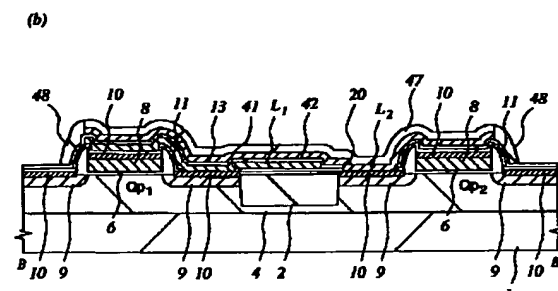
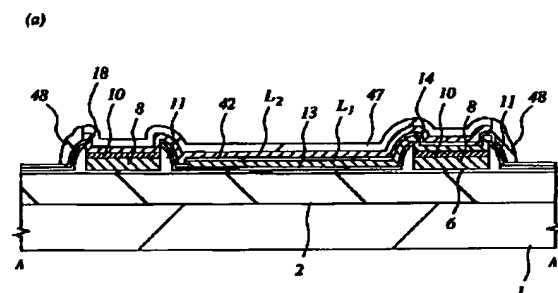
【図90】

図 90



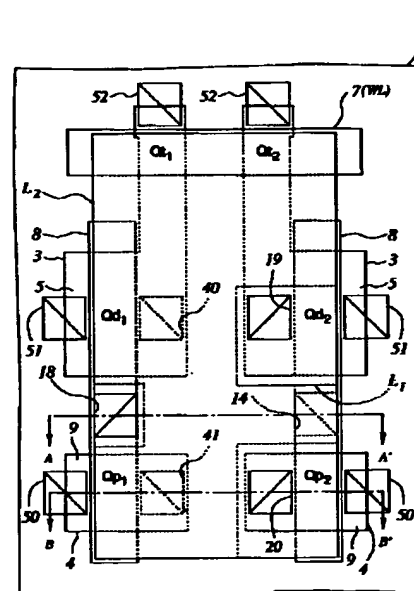
【図91】

図 91



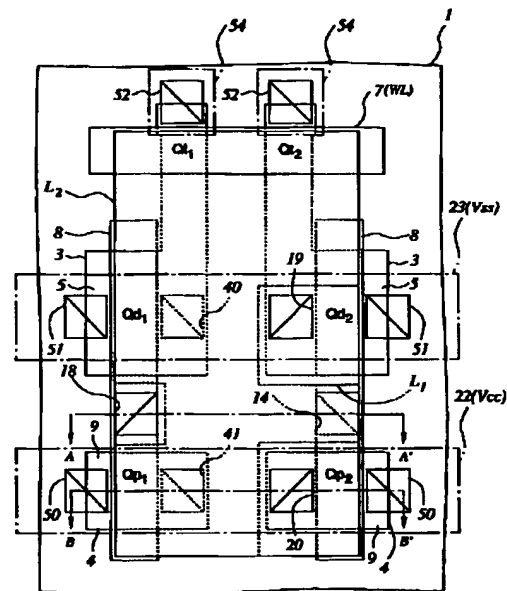
【図92】

図 92



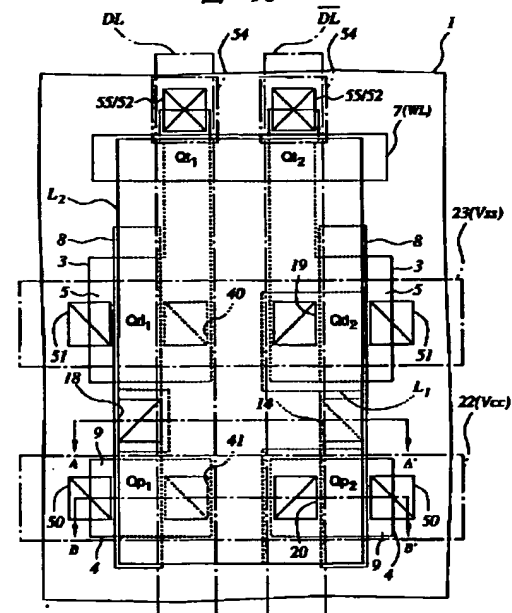
【图94】

94



【图95】

96



【図97】

